

Fortior Tech

FU6831/11/18
MCU Embedded and
Configurable 3-Phase
BLDC/PMSM
Motor Controller

Datasheet

目 录

目 录	2
1 系统介绍	16
1.1 特性	16
1.2 应用场景	18
1.3 概述	18
1.4 系统框图	19
1.4.1 FU6831 功能框图	19
1.4.2 FU6811 功能框图	20
1.4.3 FU6818 功能框图	21
1.5 Memory 空间	22
1.5.1 Program Memory	22
1.5.2 Data Memory	22
1.5.3 SFR	23
1.5.4 XSFR	24
2 引脚定义	25
2.1 FU6831 LQFP48 和 QFN48 引脚列表	25
2.2 FU6831 封装-LQFP48	29
2.3 FU6831 封装-QFN48	30
2.4 FU6831 QFN32 引脚列表	31
2.5 FU6831 封装-QFN32	34
2.6 FU6811 LQFP48 引脚列表	35
2.7 FU6811 封装-LQFP48	39
2.8 FU6811 QFN32 引脚列表	39
2.9 FU6811 封装-QFN32	43
2.10 FU6818 引脚列表	44
2.11 FU6818 封装-QFN56	48
3 电气特性	49
3.1 电气特性绝对最大值	49
3.2 全局电气特性	50
3.3 GPIO 电气特性	51
3.4 Gate Driver IO 电气特性 (适用于 FU6811)	52
3.5 Predriver 3P3N IO 电气特性 (适用于 FU6831)	52

3.6	Predriver 6N IO 电气特性 (适用于 FU6818).....	53
3.7	ADC 电气特性.....	53
3.8	参考电压电气特性.....	54
3.9	运算放大器电气特性.....	55
3.10	比较器电气特性.....	55
3.11	HALL/BEMF 电气特性.....	55
3.12	OSC 电气特性.....	55
3.13	复位电气特性.....	56
3.14	LDO 电气特性.....	56
3.15	封装热阻.....	56
4	复位控制.....	58
4.1	复位源(RSTSRC).....	58
4.2	复位使能.....	59
4.3	外部复位、上电复位.....	59
4.4	低电压侦测复位.....	59
4.5	看门狗溢出复位.....	59
4.6	FEDR 复位.....	59
4.7	EOS 过度电应力复位.....	59
5	中断控制.....	60
5.1	中断寄存器.....	60
5.1.1	IE (0xA8).....	60
5.1.2	IP0 (0xB8).....	60
5.1.3	IP1 (0xC0).....	61
5.1.4	IP2 (0xC8).....	61
5.1.5	IP3 (0xD8).....	62
5.1.6	TCON (0x88).....	62
5.2	中断说明.....	63
5.3	外部中断.....	64
6	I2C.....	65
6.1	操作说明.....	65
6.1.1	主机模式.....	65
6.1.2	从机模式.....	65
6.1.3	I2C 中断源.....	66
6.2	I2C 寄存器.....	67

6.2.1	I2C_MOD (0x4028)	67
6.2.2	I2C_ID (0x4029)	67
6.2.3	I2C_DAT (0x402A)	68
6.2.4	I2C_STA (0x402B)	68
7	SPI	70
7.1	操作说明	70
7.1.1	信号说明	70
7.1.1.1	主输出、从输入 (MOSI)	71
7.1.1.2	主输入、从输出 (MISO)	71
7.1.1.3	串行时钟 (SCK)	71
7.1.1.4	从选择 (NSS)	71
7.1.2	SPI 主方式	72
7.1.2.1	主方式配置	73
7.1.3	SPI 从方式	73
7.1.3.1	从方式配置	74
7.1.4	SPI 中断源	74
7.1.5	串行时钟时序	74
7.2	SPI 寄存器	75
7.2.1	SPI_CFG (0x4030)	75
7.2.2	SPI_CTRL (0x4031)	76
7.2.3	SPI_SCR (0x4032)	77
7.2.4	SPI_DAT (0x4033)	78
8	UART	78
8.1	UART 操作说明	78
8.1.1	基本功能框图	78
8.1.2	模式 0	78
8.1.3	模式 1	79
8.1.4	模式 2	79
8.1.5	模式 3	79
8.1.6	UART 中断源	79
8.2	UART 寄存器	79
8.2.1	UT_CR (0x98)	79
8.2.2	UT_DR (0x99)	80
8.2.3	UT_BAUD (0x9A,0x9B)	80

9	MDU	81
9.1	乘法使用方法:	81
9.2	除法使用方法:	81
9.3	注意事项.....	81
9.4	MDU 寄存器	82
9.4.1	MD_MODE (0xC1)	82
9.4.2	MD_MBL (0xCA)	82
9.4.3	MD_MBH (0xCB)	83
9.4.4	MD_MAL (0XC2).....	83
9.4.5	MD_MAH (0xC3)	83
9.4.6	MD_DA0 (0xC4).....	83
9.4.7	MD_DA1 (0xC5).....	84
9.4.8	MD_DA2 (0xC6).....	84
9.4.9	MD_DA3 (0xC7).....	84
9.4.10	MD_DB0 (0xCC).....	84
9.4.11	MD_DB1 (0xCD)	85
9.4.12	MD_DB2 (0xCE).....	85
9.4.13	MD_DB3 (0xCF)	85
10	PI	85
10.1	PI 操作说明.....	85
10.2	PI 寄存器.....	86
10.2.1	PL_CR (0xF9)	86
10.2.2	PI_EK (0xEA, 0xEB)	87
10.2.3	PI_UK (0xEC, 0xED)	87
10.2.4	PI_KP (0xEE, 0xEF)	87
10.2.5	PI_KI (0xF2, 0xF3)	88
10.2.6	PI_UKMAX (0xF4, 0xF5)	88
10.2.7	PI_UKMIN (0xF6, 0xF7)	89
11	LPF	89
11.1	LPF 操作说明	89
11.2	LPF 寄存器	89
11.2.1	PL_CR (0xF9)	89
11.2.2	LPF_K (0xDC, 0xDD)	90
11.2.3	LPF_X (0XDE, 0XDF)	90

11.2.4	LPF_Y (0XE6, 0XE7)	90
12	SVPWM/SPWM/SIN_COS	91
12.1	SVPWM 操作说明.....	91
12.2	SPWM 操作说明.....	92
12.3	SIN_COS 操作说明.....	93
12.4	SVPWM/SWPM/SIN_COS 寄存器.....	94
12.4.1	SV_CR (0xE1)	94
12.4.2	SV_US (0xE2, 0xE3)	94
12.4.3	SV_ANG (0xE4, 0xE5)	95
12.4.4	SV_ARR (0x4060, 0x4061)	95
12.4.5	SIN_THETA (0x407C, 0x407D)	96
12.4.6	COS_THETA (0x407E, 0x407F)	96
13	FOC.....	97
13.1	FOC 操作说明	97
13.1.1	简介.....	97
13.1.2	参考输入.....	97
13.1.3	PI 控制器.....	98
13.1.4	坐标转换.....	98
13.1.4.1	PARK 逆变换	98
13.1.4.2	CLARKE 逆变换	99
13.1.4.3	CLARKE 变换	99
13.1.4.4	PARK 变换	99
13.1.5	SVPWM	100
13.1.5.1	七段式 SVPWM	101
13.1.5.2	五段式 SVPWM	101
13.1.6	电流电压采样.....	101
13.1.6.1	单电阻采样模式.....	102
13.1.6.2	双电阻采样模式.....	102
13.1.6.3	电流采样基准.....	103
13.1.7	角度模式.....	103
13.1.7.1	爬坡强制角度.....	104
13.1.7.2	强拉角度.....	104
13.1.7.3	估算器角度.....	105
13.1.8	输出模块.....	106

13.1.9	电机实时参数.....	109
13.1.9.1	顺风逆风检测.....	109
13.1.9.2	反电动势检测.....	109
13.1.9.3	功率	110
13.1.10	中断.....	110
13.1.10.1	下溢中断.....	110
13.1.10.2	比较匹配中断.....	110
13.1.11	FOC 观测器	111
13.2	FOC 寄存器	111
13.2.1	FOC_SET0 (0xE8)	111
13.2.2	FOC_SET1 (0xE9)	112
13.2.3	FOC_FDS (0x408F)	112
13.2.4	FOC_CR1 (0x4090)	112
13.2.5	FOC_CR2 (0x4091)	113
13.2.6	FOC_CR3 (0x4092)	114
13.2.7	FOC_IER (0x4093)	115
13.2.8	FOC_SR (0x4094)	115
13.2.9	FOC_CHC (0x4095)	116
13.2.10	FOC_PIRAN (0x4096)	116
13.2.11	FOC_CMR (0x4097)	117
13.2.12	FOC_DKP (0x4098, 0x4099)	118
13.2.13	FOC_DKI (0x409A, 0x409B)	118
13.2.14	FOC_DMAX (0x409C, 0x409D)	119
13.2.15	FOC_DMIN (0x409E, 0x409F)	119
13.2.16	FOC_QKP (0x40A0, 0x40A1)	120
13.2.17	FOC_QKI (0x40A2, 0x40A3)	120
13.2.18	FOC_QMAX (0x40A4, 0x40A5)	121
13.2.19	FOC_QMIN (0x40A6, 0x40A7)	121
13.2.20	FOC_UD (0x40A8, 0x40A9)	121
13.2.21	FOC_UQ (0x40AA, 0x40AB)	122
13.2.22	FOC_IDREF (0x40AC, 0x40AD)	122
13.2.23	FOC_IQREF (0x40AE, 0x40AF)	123
13.2.24	FOC_ARR (0x40B0, 0x40B1)	123
13.2.25	FOC_COMR (0x40E6, 0x40E7)	124

13.2.26	FOC_SWDUTY (0x40B2, 0x40B3)	124
13.2.27	FOC_TSMIN (0x40B4, 0x40B5)	125
13.2.28	FOC_TRGDLY (0x40B6, 0x40B7)	125
13.2.29	FOC_THETA (0x40B8, 0x40B9)	126
13.2.30	FOC_THECOMP (0x40BA, 0x40BB)	126
13.2.31	FOC_RTHECNT (0x408E)	127
13.2.32	FOC_RTHESTEP (0x40BC, 0x40BD)	127
13.2.33	FOC_RTHEACC (0x40BE, 0x40BF)	127
13.2.34	FOC_THECOR (0x40C0, 0x40C1)	128
13.2.35	FOC_ETHETA (0x40C2, 0x40C3)	128
13.2.36	FOC_KSLIDE (0x40C4, 0x40C5)	129
13.2.37	FOC_EKLPFMIN (0x40C6, 0x40C7)	129
13.2.38	FOC_EBMFK (0x40C8, 0x40C9)	130
13.2.39	FOC_OMEKLPF (0x40CA, 0x40CB)	130
13.2.40	FOC_FBASE (0x40CC, 0x40CD)	131
13.2.41	FOC_EOME (0x40CE, 0x40CF)	131
13.2.42	FOC_EKP (0x40D0, 0x40D1)	131
13.2.43	FOC_EKI (0x40D2, 0x40D3)	132
13.2.44	FOC_POWKLPF (0x40D4, 0x40D5)	132
13.2.45	FOC_POW (0x40D6, 0x40D7)	133
13.2.46	FOC_EK1 (0x40D8, 0x40D9)	133
13.2.47	FOC_EK2 (0x40DA, 0x40DB)	134
13.2.48	FOC_EK3 (0x40DC, 0x40DD)	134
13.2.49	FOC_EK4 (0x40DE, 0x40DF)	134
13.2.50	FOC_IA (0x40E0, 0x40E1)	135
13.2.51	FOC_IB (0x40E2, 0x40E3)	135
13.2.52	FOC_IBET (0x40E4, 0x40E5)	136
13.2.53	FOC_ID (0x40E8, 0x40E9)	136
13.2.54	FOC_IQ (0x40EA, 0x40EB)	136
13.2.55	FOC_VALP (0x40EC, 0x40ED)	137
13.2.56	FOC_VBET (0x40EE, 0x40EF)	137
13.2.57	FOC_UALP (0x40F0, 0x40F1)	138
13.2.58	FOC_UBET (0x40F2, 0x40F3)	138
13.2.59	FOC_EALP (0x40F4, 0x40F5)	139

13.2.60	FOC_EBET (0x40F6, 0x40F7)	139
13.2.61	FOC_ESQU (0x40F8, 0x40F9)	139
13.2.62	FOC_UDCFLT (0x40FA, 0x40FB)	140
13.2.63	FOC_CSO (0x40FC, 0x40FD)	140
13.2.64	FOC_EFREQACC (0x4088, 0x4089)	141
13.2.65	FOC_EFREQMIN (0x408A, 0x408B)	142
13.2.66	FOC_EFREQHOLD (0x408C, 0x408D)	142
13.2.67	FOC_DTR (0x4064)	143
14	TIMER0(TIM0)	144
14.1	Timer0 操作说明	144
14.1.1	Timer0 计数	145
14.1.1.1	TIM0_ARR 的读写	145
14.1.1.2	TIM0_PSCR 的读写	145
14.1.1.3	TIM0_CNTR 的读写和计数	145
14.1.2	Timer0 时钟控制器	147
14.1.3	Timer0 比较输出功能	148
14.1.3.1	比较寄存器	149
14.1.3.2	输出模式	149
14.1.3.3	PWM 模式	150
14.1.3.4	PWM 边沿对齐模式	150
14.1.3.5	PWM 中央对齐模式	151
14.1.4	互补输出及通道 4 输出	151
14.1.5	Timer0 中断	153
14.2	Timer0 寄存器	154
14.2.1	TIM0_CR (0x4058)	154
14.2.2	TIM0_IER (0xB9)	155
14.2.3	TIM0_SR (0xB1)	156
14.2.4	TIM0_EGR (0x4059)	156
14.2.5	TIM0_CCMR1 (0x405A)	157
14.2.6	TIM0_CCMR2 (0x405B)	158
14.2.7	TIM0_CCER1 (0x405C)	159
14.2.8	TIM0_CCER2 (0x405D)	160
14.2.9	TIM0_CNTR (0x405E, 0x405F)	160
14.2.10	TIM0_PSCR (0x4062)	161

14.2.11	TIM0_ARR (0x4060, 0x4061)	161
14.2.12	TIM0_RCR (0x4063)	161
14.2.13	TIM0_CCR1 (0xB6, 0xB7)	162
14.2.14	TIM0_CCR2 (0xBA, 0xBB)	162
14.2.15	TIM0_CCR3 (0xBC, 0xBD)	163
14.2.16	TIM0_CCR4 (0xBE, 0xBF)	164
14.2.17	TIM0_DTR (0x4064)	164
15	TIMER1(TIM1)	164
15.1	Timer1 操作说明	164
15.1.1	Timer 计数单元	166
15.1.2	输入滤波和采样	168
15.1.2.1	滤波	168
15.1.2.2	采样	168
15.1.3	位置检测事件	169
15.1.4	写入时序事件	170
15.1.5	输出	170
15.1.5.1	PPG 边沿同步	171
15.1.5.2	死区输出	172
15.1.6	Timer1 中断	173
15.2	Timer1 寄存器	173
15.2.1	TIM1_CR0 (0x4068)	173
15.2.2	TIM1_CR1 (0x4069)	174
15.2.3	TIM1_CR2 (0x406A)	175
15.2.4	TIM1_CR3 (0x406B)	176
15.2.5	TIM1_IER (0x406C)	176
15.2.6	TIM1_SR (0x406D)	177
15.2.7	TIM1_DRH (0x406E)	178
15.2.8	TIM1_DRL (0x406F)	178
15.2.9	TIM1_DBRH/TIM1_DBRL(0x4070, 0x4071)	179
15.2.10	TIM1_BCCR (0x4072, 0x4073)	179
15.2.11	TIM1_RARR (0x4074, 0x4075)	180
15.2.12	TIM1_RCNTR (0x4076, 0x4077)	180
15.2.13	TIM1_BCNTR (0x407A, 0x407B)	180
15.2.14	TIM1_BARR (0x4078, 0x4079)	181

15.2.15	TIM1_DTR (0x4064)	181
16	Capture timer(TIM2/TIM3/TIM4/TIM5)	182
16.1	Capture timer 操作说明	182
16.1.1	Capture timer 时钟控制器	182
16.1.2	输出模式.....	183
16.1.3	输入信号滤波和边沿检测.....	184
16.1.4	输入 timer 模式.....	185
16.1.5	输入 counter 模式.....	186
16.2	Capture timer 寄存器	187
16.2.1	TIMx_CR0(0xA1/0x9C/0x9E/0x89) (x 由 2 到 5)	187
16.2.2	TIMx_CR1(0xA9/0x9D/0x9F/0x91) (x 由 2 到 5)	188
16.2.3	TIMx_CNTR(0xAA,0xAB/0xA2,0xA3/0x92,0x93/0x8A,0x8B) (x 由 2 到 5)	189
16.2.4	TIMx_DR(0xAC,0xAD/0xA4,0xA5/0x94,0x95/0x8C,0x8D) (x 由 2 到 5)	189
16.2.5	TIMx_ARR(0xAE,0xAF/0xA6,0xA7/0x96,0x97/0x8E,0x8F) (x 由 2 到 5)	190
16.2.6	TIM2_CMTR (TIMER2 独有) (0xB2, 0xB3)	190
16.2.7	TIM2_ADTR (TIMER2 独有) (0xB4, 0xB5)	191
17	Watchdog timer(WDT).....	191
17.1	WDT 操作说明.....	191
17.1.1	基本功能框图.....	191
17.1.2	基本操作说明.....	192
17.2	WDT 寄存器.....	192
17.2.1	WDT_CSR (0x4026)	192
17.2.2	WDT_REL (0x4027)	192
18	RTC.....	193
18.1	操作说明.....	193
18.1.1	基本功能框图.....	193
18.1.2	操作说明.....	193
18.2	RTC 寄存器	193
18.2.1	计数寄存器: RTC0TM (0x4065, 0x4066)	193
18.2.2	控制寄存器: RTCOSTA (0x4067)	194
19	IO	194
19.1	IO 操作说明.....	194
19.2	IO 寄存器.....	196
19.2.1	PO_OE (0xFC)	196

19.2.2	P1_OE (0xFD)	196
19.2.3	P2_OE (0xFE)	196
19.2.4	P3_OE (0xFF)	197
19.2.5	P1_AN (0x4050)	197
19.2.6	P2_AN (0x4051)	198
19.2.7	P3_AN (0x4052)	198
19.2.8	P0_PU (0x4053)	198
19.2.9	P1_PU (0x4054)	199
19.2.10	P2_PU (0x4055)	199
19.2.11	P3_PU (0x4056)	199
19.2.12	DRV_CTL (0x404D)	200
19.2.13	DRV_OUT (0xF8)	200
19.2.14	PH_SEL (0x404C)	201
19.2.15	P0 (0x80) /P1 (0x90) /P2 (0xA0) /P3 (0xB0)	202
20	时钟与振荡器	203
20.1	外部快时钟.....	203
20.1.1	外部快时钟操作说明.....	203
20.1.1.1	外部快时钟晶体输入模式.....	203
20.1.1.2	外部快时钟外部时钟输入模式.....	204
20.1.2	外部快时钟寄存器.....	204
20.1.2.1	OSC_CFG (SFR: 0xF1)	204
20.2	内部快时钟.....	205
20.2.1	内部快时钟操作说明.....	205
20.2.2	内部快时钟寄存器.....	205
20.2.2.1	OSC_CFG (SFR: 0xF1)	205
20.3	外部慢时钟.....	206
20.3.1	外部慢时钟操作说明.....	206
20.3.2	外部慢时钟寄存器.....	206
20.3.2.1	OSC_CFG(SFR: 0xF1).....	206
20.4	内部慢时钟.....	207
20.4.1	内部慢时钟操作说明.....	207
20.4.2	内部慢时钟寄存器.....	207
21	时钟控制与 MCD 功能	207
21.1	晶体配置寄存器 OSC_CFG.....	207

21.2	MCD 功能与双速模式.....	208
22	ADC	209
22.1	ADC 功能框图.....	209
22.2	ADC 操作说明.....	209
22.3	ADC 寄存器.....	210
22.3.1	ADC_STA (0x4037)	210
22.3.2	ADC_CFG (0x4035)	211
22.3.3	ADC_MASK (0x4036)	212
22.3.4	ADC0_DR={ADC0_DRH,ADC0_DRL} (0x4038~0x4039)	212
22.3.5	ADC1_DR={ADC1_DRH,ADC1_DRL} (0x403A~0x403B)	213
22.3.6	ADC2_DR={ADC2_DRH,ADC2_DRL} (0x403C~0x403D)	213
22.3.7	ADC3_DR={ADC3_DRH,ADC3_DRL} (0x403E~0x403F)	214
22.3.8	ADC4_DR={ADC4_DRH,ADC4_DRL} (0x4040~0x4041)	214
22.3.9	ADC5_DR={ADC5_DRH,ADC5_DRL} (0x4042~0x4043)	215
22.3.10	ADC6_DR={ADC6_DRH,ADC6_DRL} (0x4044~0x4045)	215
22.3.11	ADC7_DR={ADC7_DRH,ADC7_DRL} (0x4046~0x4047)	216
22.3.12	ADC_SCYC0/ADC_SCYC1 (0x4048~0x4049)	216
23	VREF 参考电压.....	218
23.1	VREF 模块的操作说明	218
23.2	VREF 模块的寄存器	218
23.2.1	VREF_CR(XRAM: 0x404F)	218
24	VHALF 参考电压.....	219
24.1	VHALF 模块的操作说明	219
24.2	VHALF 模块的寄存器	219
24.2.1	VREF_CR(XRAM: 0x404F)	219
24.2.2	AMP_CR(XRAM: 0x404E)	220
25	运放	220
25.1	运放操作说明.....	221
25.1.1	母线电流运放 (AMP0)	221
25.1.2	相电流运放 (AMP1/AMP2/AMP3)	221
25.1.2.1	AMP1.....	221
25.1.2.2	AMP2.....	222
25.1.2.3	AMP3.....	222
25.2	运放寄存器.....	223

25.2.1	AMP_CR (0x404E)	223
26	比较器.....	224
26.1	比较器操作说明.....	224
26.1.1	比较器 CMP3	224
26.1.2	母线电流保护.....	224
26.1.3	比较器 CMP0/CMP1/CMP2.....	225
26.1.4	比较器输出.....	226
26.2	比较器寄存器.....	226
26.2.1	CMP_CR0 (0xD5)	226
26.2.2	CMP_CR1 (0xD6)	227
26.2.3	CMP_CR2 (0xDA)	227
26.2.4	CMP_SR (0xD7)	228
26.2.5	EVT_FILT (0xD9)	229
27	DIRVER	230
27.1	3P3N Predriver 模式 (仅适用于 FU6831)	230
27.1.1	3P3N Predriver 功能框图及配置说明	230
27.2	Gate Driver 模式 (仅适用于 FU6811)	231
27.3	6N Predriver 模式 (适用于 FU6818)	232
27.4	DRIVER 相关的寄存器.....	232
27.4.1	DRV_CTL (0x404D)	232
28	电源模块.....	233
28.1	LDO.....	233
28.1.1	LDO 模块的操作说明.....	233
28.1.2	LDO 模块的寄存器.....	236
28.2	低压检测.....	236
28.2.1	低压检测模块操作说明.....	236
28.2.2	CCFG2:RST_MOD (0x401D)	236
28.2.3	CCFG1:CK_RST_CFG (0x401E)	237
28.2.4	LVS(0xDB).....	237
29	FLASH 自写.....	238
29.1	PSCTL: 编程控制寄存器.....	238
29.2	FLKEY: FLASH 编程开锁寄存器.....	238
29.3	FLASH 自写操作说明.....	239
30	CRC 功能.....	240

30.1	CRC16 生成多项式	241
30.2	CRC16 基本逻辑图	241
30.3	操作说明.....	241
30.3.1	基本功能框图.....	241
30.3.2	计算单个字节的 CRC	241
30.3.3	批量计算 ROM 数据 CRC	242
30.4	CRC 寄存器	243
30.4.1	控制寄存器：CRCOSTA	243
30.4.2	输入数据寄存器：CRCODIN	244
30.4.3	结果输出寄存器：CRCODAT.....	245
30.4.4	自动计算起点寄存器：CRCOBEG.....	245
30.4.5	自动计算块数寄存器：CRCOCNT.....	245
31	休眠模式.....	246
31.1	PCON 寄存器	246
31.2	功耗模式.....	246
32	代码保护.....	247
33	配置寄存器.....	249
33.1	CCFG，客户配置寄存器	249
33.1.1	CCFG1: CK_RST_CFG	249
34	封装信息.....	250
34.1	LQFP48_7X7	250
34.2	QFN48_6X6	251
34.3	QFN56_7X7	252
34.4	QFN32_4X4	253
35	订购信息.....	254

1 系统介绍

1.1 特性

- 电源电压:

- FU6831:

- 单电源高压模式(VCC_MODE=0). VCC= 5~24V

- 双电源模式(VCC_MODE=1), VCC≥VDD5. VCC= 5~36V, VDD5=5V

- FU6811:

- 单电源高压模式(VCC_MODE=0). VCC= 5~24V

- 双电源模式(VCC_MODE=1), VCC≥VDD5. VCC= 5~36V, VDD5=5V

- 单电源低压模式(VCC_MODE=1). VCC=VDD5= 3~5.5V

- FU6818:

- 模式 1: VCC_MODE=0, VCC= 5~24V, VDRV=7~18V

- 模式 2: VCC_MODE=1, VCC=VDD5=3~5.5V, VDRV=7~18V

- 双核: 电机专用引擎 ME 和 8051 内核。ME 硬件自动完成电机 FOC/BLDC 运算控制; 8051

内核用于参数配置和日常事务处理

- 指令周期大多为 1T 或 2T

- 16Kx8bit Flash ROM、带 CRC 校验功能、支持程序自烧录和代码保护功能

- 256x8bit IRAM, 4Kx8bit XRAM

- ME: 集成低通滤波器(LPF)、比例积分器(PI)、SVPWM/SPWM、FOC 模块

- 单周期 16*16 位乘法器, 32 / 32 位除法器 (16 个时钟周期)

- 4 级优先级中断、16 个中断源

- GPIO 个数: 32 个 GPIO

- 定时器:

- 4 个通用带抓捕功能可编程定时器

- 1 个加强型高级定时器

- 1 个带 BLDC 电机专用定时器

- 1 个 RTC 定时器

- I2C/SPI/UART 接口

- 模拟外设:

- 8 通道 12 位 ADC, 支持突发模式采样, 可选择内部 VREF、外部 VREF、VDD5 作参考电压

- 内置 VREF 参考, 可配置 3V、4V、4.5V、5V 输出

- 内置 1/2 VDD5 或 1/2 VREF 参考输出

内建 4 个独立运算放大器

内建 4 路模拟比较器，可配置迟滞电压

■ 驱动类型：

Gate Driver 输出(仅适用于 FU6811)

3P3N Predriver 输出(仅适用于 FU6831)

6N Predriver 输出(仅适用于 FU6818)

■ 电机控制方式支持 BLDC 方波（120°、150°）、SVPWM/SPWM、FOC

■ 支持 HALL（HALL IC、HALL Sensor）、BEMF 位置检测

■ FOC 驱动支持单电阻、双电阻电流采样

■ 时钟：

系统时钟可选择内置 24MHz±2%精准时钟、24MH 晶体振荡时钟或者外灌时钟，支持动态切换

32768Hz 晶体时钟

■ Watch-dog

■ 两线制 FICE 协议提供在线仿真功能

1.2 应用场景

无感/有感 BLDC/PMSM、三相/单相感应电机。

油烟机、室内机、吊扇、落地扇、吸尘器、电吹风、工业风机、水泵、压缩机、电动车、电动工具、航模等。

1.3 概述

FU6831/11/18 系列是一款集成电机控制引擎(ME)和 8051 内核的电机驱动专用芯片。ME 集成 FOC、MDU、LPF、PI、SVPWM/SPWM 等诸多硬件模块，可硬件自动完成电机 FOC/BLDC 运算控制；8051 内核用于参数配置和日常事务处理，双核并行工作实现各种高性能电机控制。其中 8051 内核大部分指令周期为 1T 或 2T，芯片内部集成有高速运算放大器、比较器、Pre-driver(FU6811 除外)、高速 ADC、高速乘/除法器、CRC、SPI、I2C、UART、多种 TIMER、PWM 等功能，内置高压 LDO，适用于 BLDC/PMSM 电机的方波、SVPWM/SPWM、FOC 驱动控制。

FU6831/11/18 的区别参考第 35 章，FU6811 为 Gate Driver 输出；FU6831 为 3P3N Predriver 输出；FU6818 为 6N Predriver 输出。

1.4 系统框图

1.4.1 FU6831 功能框图

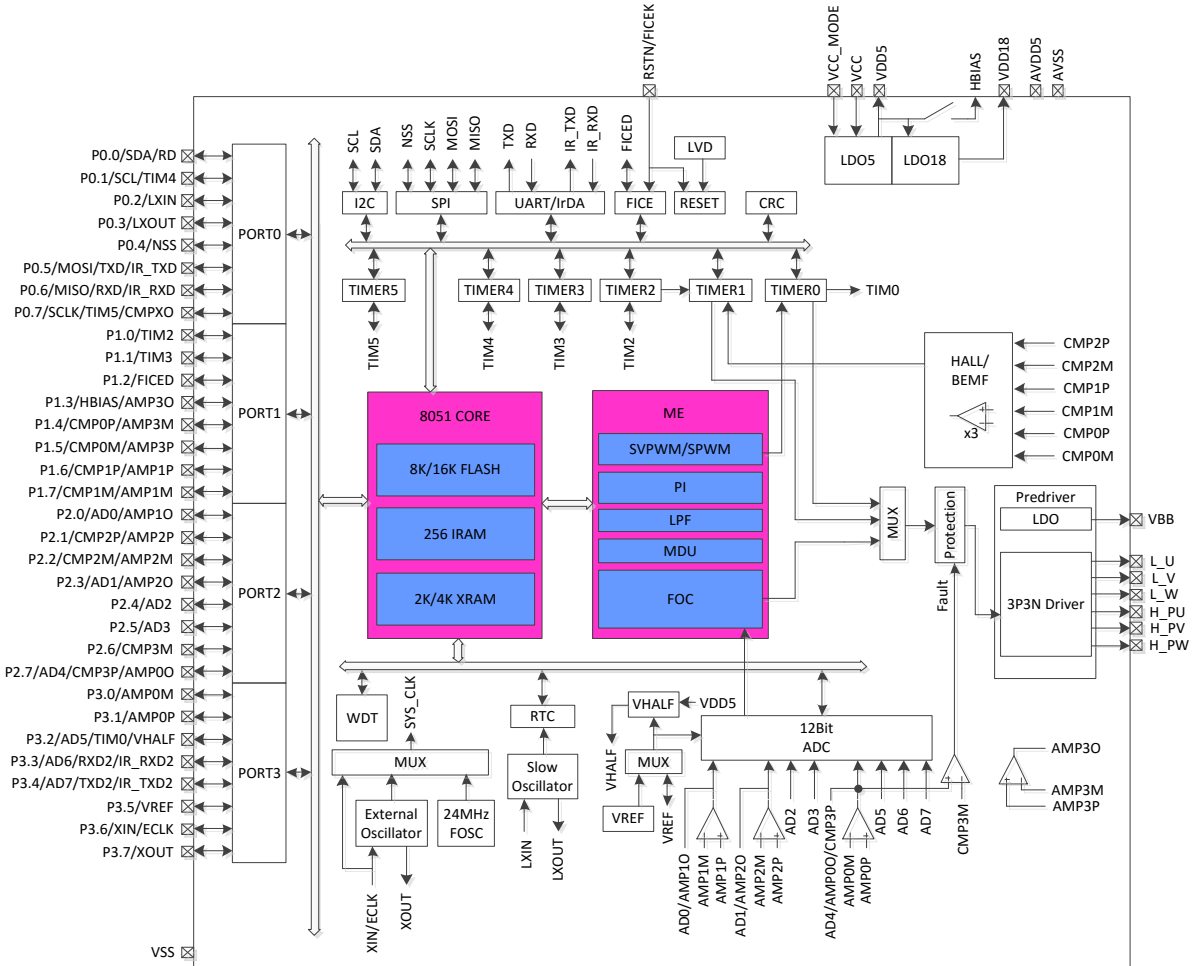


图 1-1 FU6831 功能框图

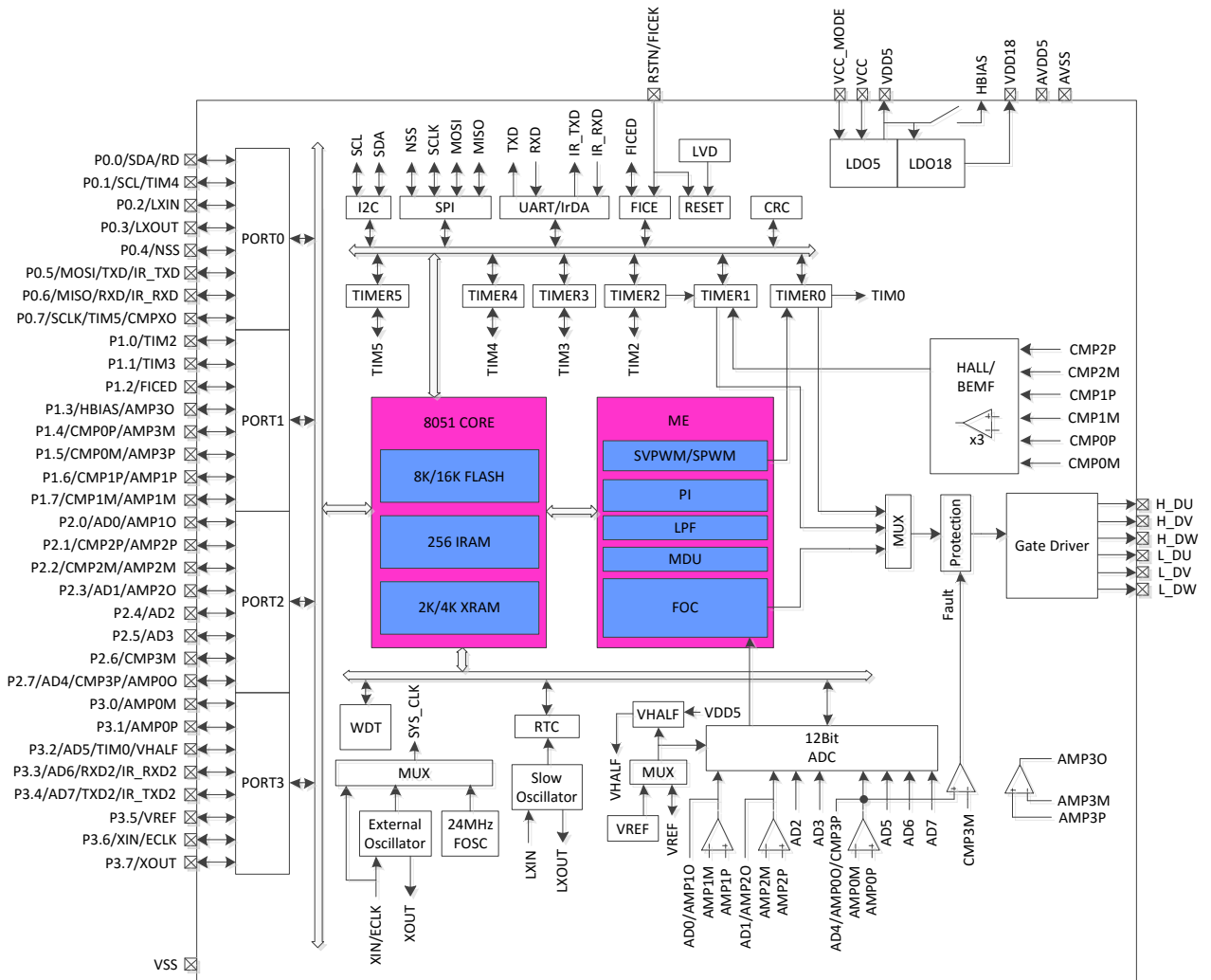
1.4.2 FU6811 功能框图


图 1-2 FU6811 功能框图

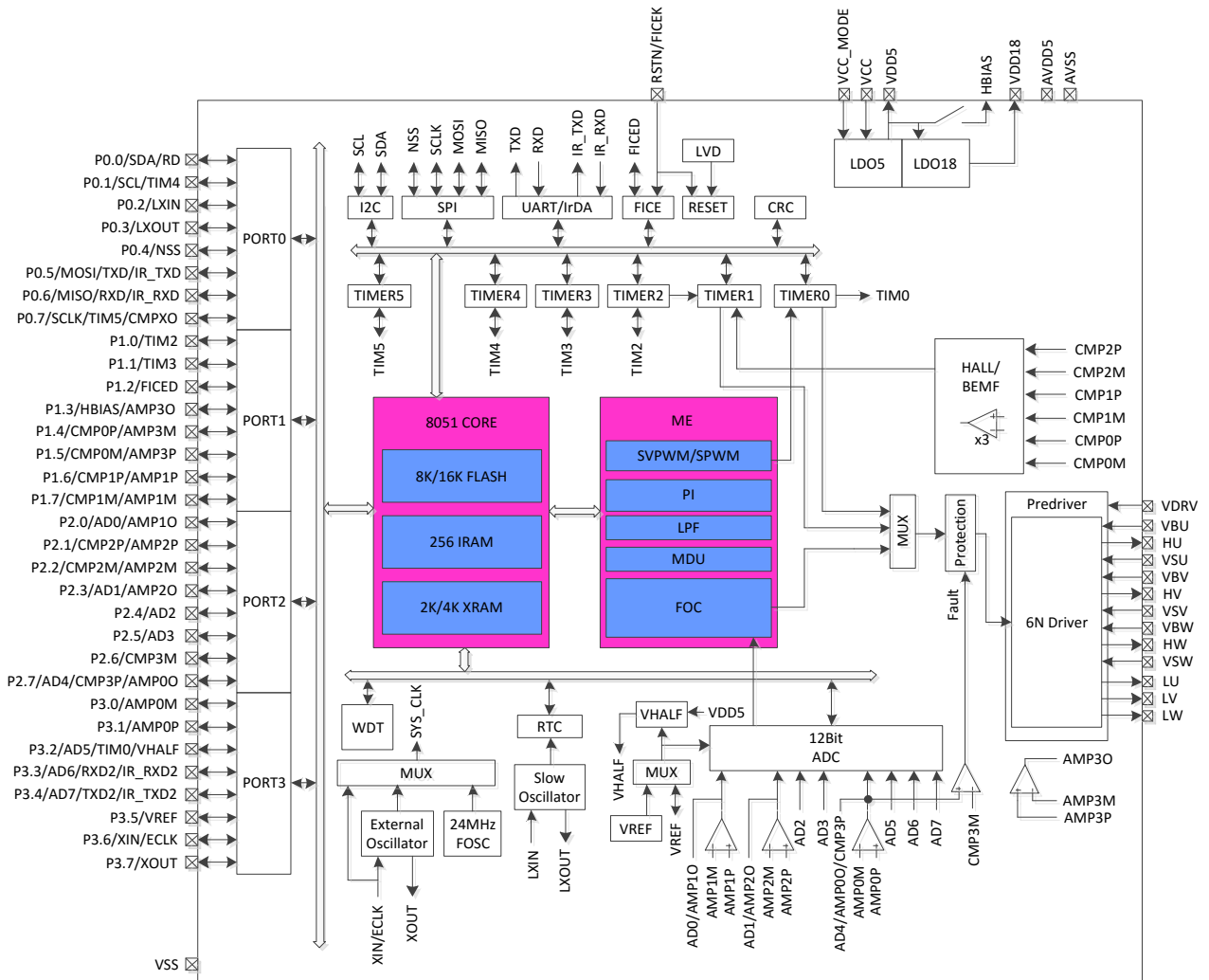
1.4.3 FU6818 功能框图


图 1-3 FU6818 功能框图

1.5 Memory 空间

内部存储空间分为指令空间（program memory）和数据空间（data memory），两个空间独立编址。

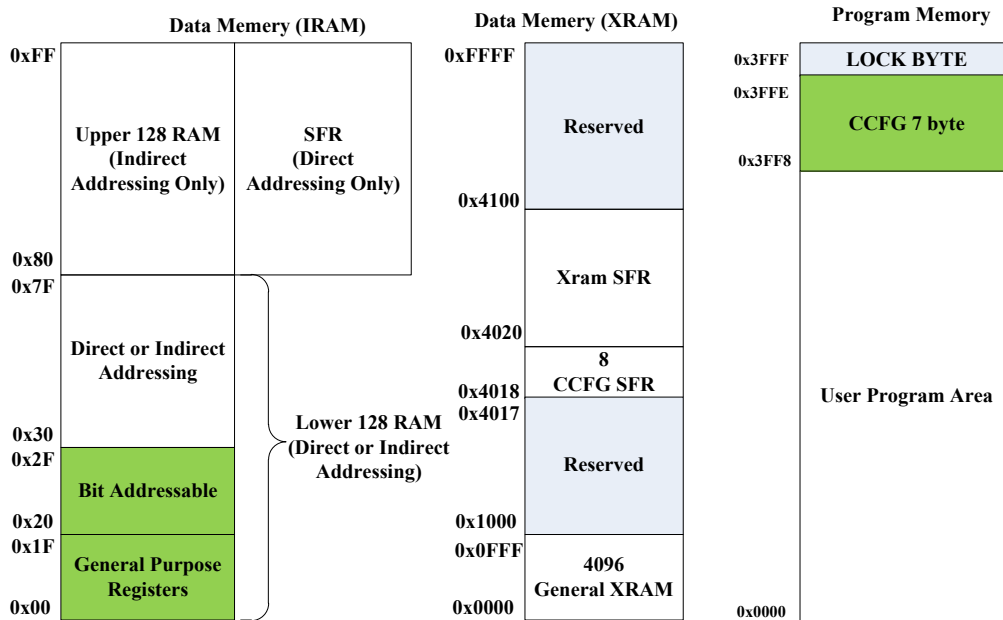


图 1-4 Memory 空间分配

1.5.1 Program Memory

指令空间可寻址范围 0x0000-0x3FFF，复位后 CPU 从 0x0000 开始执行。指令空间存储介质为 FLASH。

1.5.2 Data Memory

数据空间分为外部数据空间（external data memory）和内部数据空间（internal data memory&SFRs）。

外部数据空间仅可通过 MOVX 指令访问，范围为 0x0000-0x0FFF。

内部数据空间如图 1-4 所示。0x00-0x1F 包含 4 组，每组 8 个寄存器；0x20~0x2F 的 16Bytes 支持 bit 寻址操作；0x30-0x7F 支持直接寻址和间接寻址；0x80-0xFF 间接寻址时访问的是 RAM 空间，直接寻址时访问的是 SFRs。堆栈空间位于内部数据空间。

1.5.3 SFR

表 1-1 特殊功能寄存器(SFR) 地址映射

Addr	0(8)	1(9)	2(A)	3(B)	4(C)	5(D)	6(E)	7(F)
0xF8	DRV_OUT	PL_CR			P0_OE	P1_OE	P2_OE	P3_OE
0xF0	B	OSC_CFG	PI_KIL	PI_KIH	PI_UKMAXL	PI_UKMAXH	PI_UKMINL	PI_UKMINH
0xE8	FOC_SET0	FOC_SET1	PI_EKL	PI_EKH	PI_UKL	PI_UKH	PI_KPL	PI_KPH
0xE0	ACC	SV_CR	SV_USL	SV_USH	SV_ANGL	SV_ANGH	LPF_YL	LPF_YH
0xD8	IP3	EVT_FILT	CMP_CR2	LVSR	LPF_KL	LPF_KH	LPF_XL	LPF_XH
0xD0	PSW	P1IE	P1IF	P2IE	P2IF	CMP_CR0	CMP_CR1	CMP_SR
0xC8	IP2	RSTSRC	MD_MBL	MD_MBH	MD_DB0	MD_DB1	MD_DB2	MD_DB3
0xC0	IP1	MD_MODE	MD_MAL	MD_MAH	MD_DA0	MD_DA1	MD_DA2	MD_DA3
0xB8	IP0	TIM0_IER	TIM0_CCR2L	TIM0_CCR2H	TIM0_CCR3L	TIM0_CCR3H	TIM0_CCR4L	TIM0_CCR4H
0xB0	P3	TIM0_SR	TIM2_CNTRL	TIM2_CNTRH	TIM2_ADTRL	TIM2_ADTRH	TIM0_CCR1L	TIM0_CCR1H
0xA8	IE	TIM2_CR1	TIM2_CNTRL	TIM2_CNTRH	TIM2_DRL	TIM2_DRH	TIM2_ARRL	TIM2_ARRH
0xA0	P2	TIM2_CR0	TIM3_CNTRL	TIM3_CNTRH	TIM3_DRL	TIM3_DRH	TIM3_ARRL	TIM3_ARRH
0x98	UT_CR	UT_DR	UT_BAUDL	UT_BAUDH	TIM3_CR0	TIM3_CR1	TIM4_CR0	TIM4_CR1
0x90	P1	TIM5_CR1	TIM4_CNTRL	TIM4_CNTRH	TIM4_DRL	TIM4_DRH	TIM4_ARRL	TIM4_ARRH
0x88	TCON	TIM5_CR0	TIM5_CNTRL	TIM5_CNTRH	TIM5_DRL	TIM5_DRH	TIM5_ARRL	TIM5_ARRH
0x80	P0	SP	DPL	DPH	FLKEY	PSCTL	CFGKEY	PCON

注：地址低 4 位为 0 或 8 地址的寄存器可位寻址

1.5.4 XSFR

表 1-2 扩展特殊功能寄存器(XSFR) 地址映射

Addr	0(8)	1(9)	2(A)	3(B)	4(C)	5(D)	6(E)	7(F)
0x40f8	FOC_ESQUH	FOC_ESQUL	FOC_UDCFLTH	FOC_UDCFLTL	FOC_CSOH	FOC_CSOL		
0x40f0	FOC_UALPH	FOC_UALPL	FOC_UBETH	FOC_UBETL	FOC_EALPH	FOC_EALPL	FOC_EBETH	FOC_EBETL
0x40e8	FOC_IDH	FOC_IDL	FOC_IQH	FOC_IQL	FOC_VALPH	FOC_VALPL	FOC_VBETH	FOC_VBETL
0x40e0	FOC_IAH	FOC_IAL	FOC_IBH	FOC_IBL	FOC_IBETH	FOC_IBETL	FOC_COMRH	FOC_COMRL
0x40d8	FOC_EK1H	FOC_EK1L	FOC_EK2H	FOC_EK2L	FOC_EK3H	FOC_EK3L	FOC_EK4H	FOC_EK4L
0x40d0	FOC_EKPH	FOC_EKPL	FOC_EKIH	FOC_EKIL	FOC_POWKLPFH	FOC_POWKLPFL	FOC_POWH	FOC_POWL
0x40c8	FOC_EBMFKH	FOC_EBMFKL	FOC_OMEKLPFH	FOC_OMEKLPFL	FOC_FBASEH	FOC_FBASEL	FOC_EOMEH	FOC_EOMEL
0x40c0	FOC_THECORH	FOC_THECORL	FOC_ETHETAH	FOC_ETHETAL	FOC_KSLIDEH	FOC_KSLIDEL	FOC_EKLPFMINH	FOC_EKLPFMINL
0x40b8	FOC_THETAH	FOC_THETAL	FOC_THECOMP	FOC_THECOMPL	FOC_RTHESTEPH	FOC_RTHESTEP	FOC_RTHEACCH	FOC_RTHEACCL
0x40b0	FOC_ARRH	FOC_ARRL	FOC_SWDUTYH	FOC_SWDUTYL	FOC_TSMINH	FOC_TSMINL	FOC_TRGDLYH	FOC_TRGDLYL
0x40a8	FOC_UDH	FOC_UDL	FOC_UQH	FOC_UQL	FOC_IDREFH	FOC_IDREFL	FOC_IQREFH	FOC_IDREFL
0x40a0	FOC_QKPH	FOC_QKPL	FOC_QKIH	FOC_QKIL	FOC_QMAXH	FOC_QMAXL	FOC_QMINH	FOC_QMINL
0x4098	FOC_DKPH	FOC_DKPL	FOC_DKIH	FOC_DKIL	FOC_DMAXH	FOC_DMAXL	FOC_DMINH	FOC_DMINL
0x4090	FOC_CR1	FOC_CR2	FOC_CR3	FOC_IER	FOC_SR	FOC_CHC	FOC_PIRAN	FOC_CMR
0x4088	FOC_EFREQACH	FOC_EFREQACL	FOC_EFREQMINH	FOC_EFRQMINL	FOC_EFREQHOLDH	FOC_EFREQHOLDL	FOC_RTHECNT	FOC_FDS
0x4080								
0x4078	TIM1_BARRH	TIM1_BARRL	TIM1_BCNTRH	TIM1_BCNTRL	SIN_THETAH	SIN_THETAL	COS_THETAH	COS_THETAL
0x4070	TIM1_DBRH	TIM1_DBRL	TIM1_BCCRH	TIM1_BCCRL	TIM1_RARRH	TIM1_RARRL	TIM1_RCNTRH	TIM1_RCNTRL
0x4068	TIM1_CR0	TIM1_CR1	TIM1_CR2	TIM1_CR3	TIM1_IER	TIM1_SR	TIM1_DRH	TIM1_DRL
0x4060	TIM0_ARRH/ SV_ARRH	TIM0_ARRL/ SV_ARRL	TIM0_PSCR	TIM0_RCR	TIM0_DTR/ TIM1_DTR/ FOC_DTR	RTC0TMH	RTC0TML	RTC0STA
0x4058	TIM0_CR	TIM0_EGR	TIM0_CCMR1	TIM0_CCMR2	TIM0_CCER1	TIM0_CCER2	TIM0_CNTRH	TIM0_CNTRL
0x4050	P1_AN	P2_AN	P3_AN	P0_PU	P1_PU	P2_PU	P3_PU	
0x4048	ADC_SCYC0	ADC_SCYC1			PH_SEL	DRV_CTL	AMP_CR	VREF_CR
0x4040	ADC4_DRH	ADC4_DRL	ADC5_DRH	ADC5_DRL	ADC6_DRH	ADC6_DRL	ADC7_DRH	ADC7_DRL
0x4038	ADC0_DRH	ADC0_DRL	ADC1_DRH	ADC1_DRL	ADC2_DRH	ADC2_DRL	ADC3_DRH	ADC3_DRL
0x4030	SPI_CFG	SPI_CTRL	SPI_SCR	SPI_DATH	SPI_DATL	ADC_CFG	ADC_MASK	ADC_STA
0x4028	I2C_MOD	I2C_ID	I2C_DAT	I2C_STA				
0x4020		CRC0DIN	CRC0STA	CRC0DAT	CRC0BEG	CRC0CNT	WDT_CSR	WDT_REL
0x4018	CCFG7	CCFG6	CCFG5	CCFG4	CCFG3	CCFG2	CCFG1	CCFG0

芯片 SFR 分为两部分，一部分映射在内部数据空间的 SFR 区域，一部分映射在外部数据空间。

2 引脚定义

2.1 FU6831 LQFP48 和 QFN48 引脚列表

表 2-1 FU6831 LQFP48 和 QFN48 引脚列表

PAD 名称	FU6831 QFN48/ LQFP48	IO 类型	功能描述
P2.2/ CMP2M/ AMP2M	1	DB/ AI/ AI	GPIO P2.2,可配置外部中断 1 输入, 可配置 4.7K 上拉电阻 差分 hall2/BEMF2 负输入 运放 2 负输入端
P2.3/ AD1/ AMP2O	2	DB/ AI/ AO	GPIO P2.3,可配置外部中断 1 输入 ADC 通道 1 输入,用于采集相电流 2 放大后的信号 运放 2 输出端
P2.4/ AD2	3	DB/ AI	GPIO P2.4,可配置外部中断 1 输入 ADC 通道 2 输入, 母线电压信号输入
P2.5/ AD3	4	DB/ AI	GPIO P2.5,可配置外部中断 1 输入 ADC 通道 3 输入
P2.6/ CMP3M	5	DB/ AI	GPIO P2.6,可配置外部中断 1 输入 过流参考信号输入, 比较器 3 的负输入端
P2.7/ AD4/ CMP3P/ AMP0O	6	DB/ AI/ AI/ AO	GPIO P2.7,可配置外部中断 1 输入 ADC 通道 4 输入, 用于采集放大后的母线电流信号 比较器 3 的正输入端, 接母线电流采样信号, 用于检测过流 运放 0 输出端, 将母线电流放大后的电压输出
P3.0/ AMP0M	7	DB/ AI	GPIO P3.0 运放 0 负输入, 用于放大母线电流信号
P3.1/ AMP0P	8	DB/ AI	GPIO P3.1 运放 0 正输入, 用于放大母线电流信号
P3.2/ AD5/ TIM0/ VHALF	9	DB/ AI/ DO/ AO	GPIO P3.2 过温信号输入,ADC 通道 5 输入 Advanced timer 通道 4 输出 1/2 VDD5 或 1/2 VREF 参考输出, 外接 1uF 电容
P3.3/ AD6/ RXD2/ IR_RXD2	10	DB/ AI/ DI/ DI	GPIO P3.3 ADC 通道 6 输入 功能转移后 UART2 数据接收端 功能转移后红外数据接收端
P3.4/ AD7/ TXD2/ IR_TXD2	11	DB AI/ DO/ DO	GPIO P3.4 模拟速度控制输入, AD 通道 7 输入 功能转移后 UART2 数据发送端 功能转移后红外数据发送端
P3.5/ VREF	12	DB/ AI	GPIO P3.5 ADC 外部参考电压输入或者内部 VREF 输出, 外接 1uF 电容

PAD 名称	FU6831 QFN48/	IO 类型	功能描述
AVSS	13	P	模拟地
AVDD5	14	P	模拟电源输入，在芯片外部与 VDD5 相连，并接 1uF 电容到 AVSS
P3.6/ XIN/ ECLK	15	DB/ AI/ DI	GPIO P3.6 快时钟晶体输入，外接 24MHz 晶体输入 外部快时钟输入
P3.7/ XOUT	16	DB/ AO	GPIO P3.7 快时钟晶体输出，外接 24MHz 晶体输入
P0.0/ SDA/ RD	17	DB/ DB/ DO	GPIO P0.0, 可配置外部中断 0 输入 I2C SDA, 集电极开路输出, 可配置 4.7K 上拉电阻 电机堵转指示输出, 集电极开路输出
P0.1/ SCL/ FG/TIM4	18	DB/ DB/ DB	GPIO P0.1 I2C SCL 时钟, 集电极开路输出, 可配置 4.7K 上拉电阻 电机转速脉冲输出, 可选择每转 1 个或 3 个脉冲, 集电极开路输出(Timer4 捕获模式输入或 PWM 模式输出)
P0.2/ LXIN	19	DB/ AI	GPIO P0.2 32768Hz 晶体输入
P0.3/ LXOUT	20	DB/ AI	GPIO P0.3 32768Hz 晶体输出
P0.4/ NSS	21	DB/ DB	GPIO P0.4 SPI 的选择端口
P0.5/ MOSI/ TXD/ IR_TXD	22	DB/ DB/ DO/ DO	GPIO P0.5 SPI_MOSI, 主机模式输出或从机模式输入 功能转移前 UART1 数据发送端 功能转移前红外数据发送端
P0.6/ MISO/ RXD/ IR_RXD	23	DB/ DB/ DI/ DI	GPIO P0.6 SPI_MISO, 主机模式输入或从机模式输出 功能转移前 UART1 数据接收端 功能转移前红外数据接收端
P0.7/ SCLK/ TIM5/ CMPXO	24	DB/ DB/ DB/ DO	GPIO P0.7 SPI 接口时钟 CLK Timer5 捕获模式输入或 PWM 模式输出 比较器输出测试引脚
P1.0/ TIM2	25	DB/ DB	GPIO P1.0, 可配置外部中断 1 输入 Timer2 捕获模式输入或 PWM 模式输出
P1.1/ TIM3	26	DB/ DB	GPIO P1.1, 可配置外部中断 1 输入 Timer3 捕获模式输入或 PWM 模式输出
NC	27		NC Pin, 悬空
H_PU	28	AO	3P3N 模式 Predriver 上半桥 U 相电压输出, 内置 47K 上拉电阻
H_PV	29	AO	3P3N 模式 Predriver 上半桥 V 相电压输出, 内置 47K 上拉电阻

PAD 名称	FU6831 QFN48/	IO 类型	功能描述
H_PW	30	AO	3P3N 模式 Predriver 上半桥 W 相电压输出, 内置 47K 上拉电阻
L_U	31	DO	3P3N 模式 Predriver 下半桥 U 相电压输出, 内置 47K 下拉电阻
L_V	32	DO	3P3N 模式 Predriver 下半桥 V 相电压输出, 内置 47K 下拉电阻
L_W	33	DO	3P3N 模式 Predriver 下半桥 W 相电压输出, 内置 47K 下拉电阻
VBB	34	P	10V LDO 输出, 外接 1~4.7uF 电容
VCC	35	P	电源输入, 电压范围由电源模式由 VCC_MODE 决定, 外接 10uF 或更大滤波电容。 1. 单电源高压模式: VCC_MODE=0, 外部电源从 VCC 输入 5~24V, VDD5 由内部 LDO 产生; 2. 双电源模式: VCC_MODE=1 (即与 VDD5 相连), 外部电源 1 从 VCC 输入 5~36V, 外部电源 2 从 VDD5 输入 5V
VSS	36	P	数字地
VDD5	37	P	中压电源输入或内部 5V LDO 输出电源, 由 VCC_MODE 决定, 电源接法请参考 VCC 引脚描述, 外接 1~4.7uF 电容。
VCC_MODE	38	DI	输入电源模式控制, 控制模式参考 VCC 引脚功能描述
RSTN/ FICEK	39	DI/ DI	外部复位输入, 内置上拉电阻, 施密特输入 FICE 调试接口时钟端
VDD18	40	P	1.8V LDO 输出电源, 外接 1~4.7uF 电容
P1.2/ FICED	41	DB/ DB	GPIO P1.2, 可配置外部中断 1 输入 FICE 数据端口
P1.3/ HBIAS/ AMP3O	42	DB/ DO/ AO	GPIO P1.3 HALL 偏置电源, 内部通过开关连接 VDD5 运放 3 输出端
P1.4/ CMP0P/ AMP3M	43	DB/ AI/ AO	GPIO P1.4, 可配置外部中断 1 输入, 可配置 4.7K 上拉电阻, 可用于 Timer1 的开关型 hall0 输入 差分 hall0/BEMF0 正输入 运放 3 负输入端
P1.5/ CMP0M/ AMP3P	44	DB/ AI/ AI	GPIO P1.5, 可配置外部中断 1 输入, 可配置 4.7K 上拉电阻 差分 hall0/BEMF0 负输入 运放 3 正输入端

PAD 名称	FU6831 QFN48/	IO 类型	功能描述
P1.6/ CMP1P AMP1P	45	DB/ AI/ AI	GPIO P1.6,可配置外部中断 1 输入, 可配置 4.7K 上拉电阻,可用于 Timer1 的开关型 hall1 输入 差分 hall1/BEMF1 正输入 运放 1 正输入端,接相电流 1 电压信号输入
P1.7/ CMP1M/ AMP1M	46	DB/ AI/ AI	GPIO P1.7, 可配置 4.7K 上拉电阻 差分 hall1/BEMF1 负输入 运放 1 负输入端
P2.0/ AD0/ AMP1O	47	DB/ AI/ AO	GPIO P2.0,可配置外部中断 1 输入 ADC 通道 0 输入,用于采集相电流 1 放大后的信号 运放 1 输出端
P2.1/ CMP2P/ AMP2P	48	DB/ AI/ AI	GPIO P2.1,可配置外部中断 1 输入, 可配置 4.7K 上拉电阻,可用于 Timer1 的开关型 hall2 输入 差分 hall2/BEMF2 正输入 运放 2 正输入端,接相电流 2 电压信号输入

注:

IO 类型说明:

DI = 数字输入,

DO = 数字输出,

DB = 数字双向,

AI = 模拟输入,

AO = 模拟输出,

P = 电源

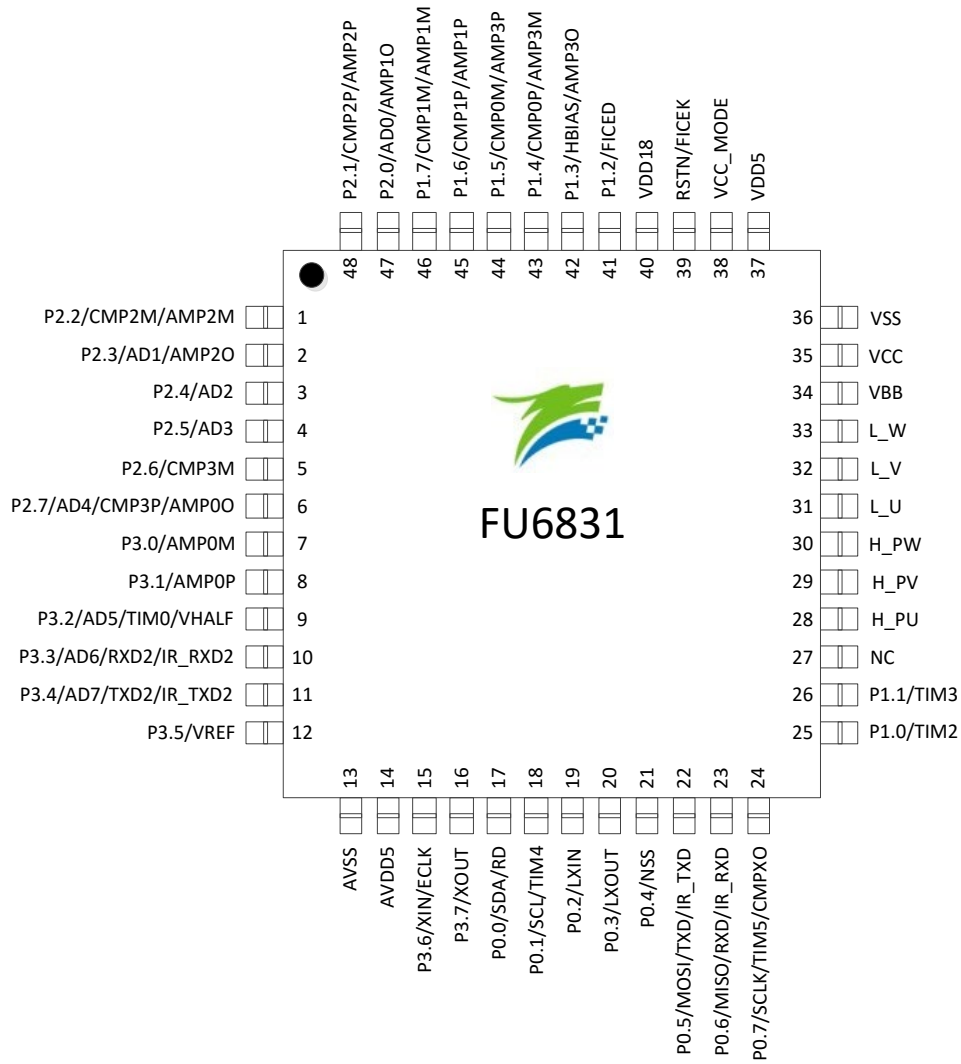
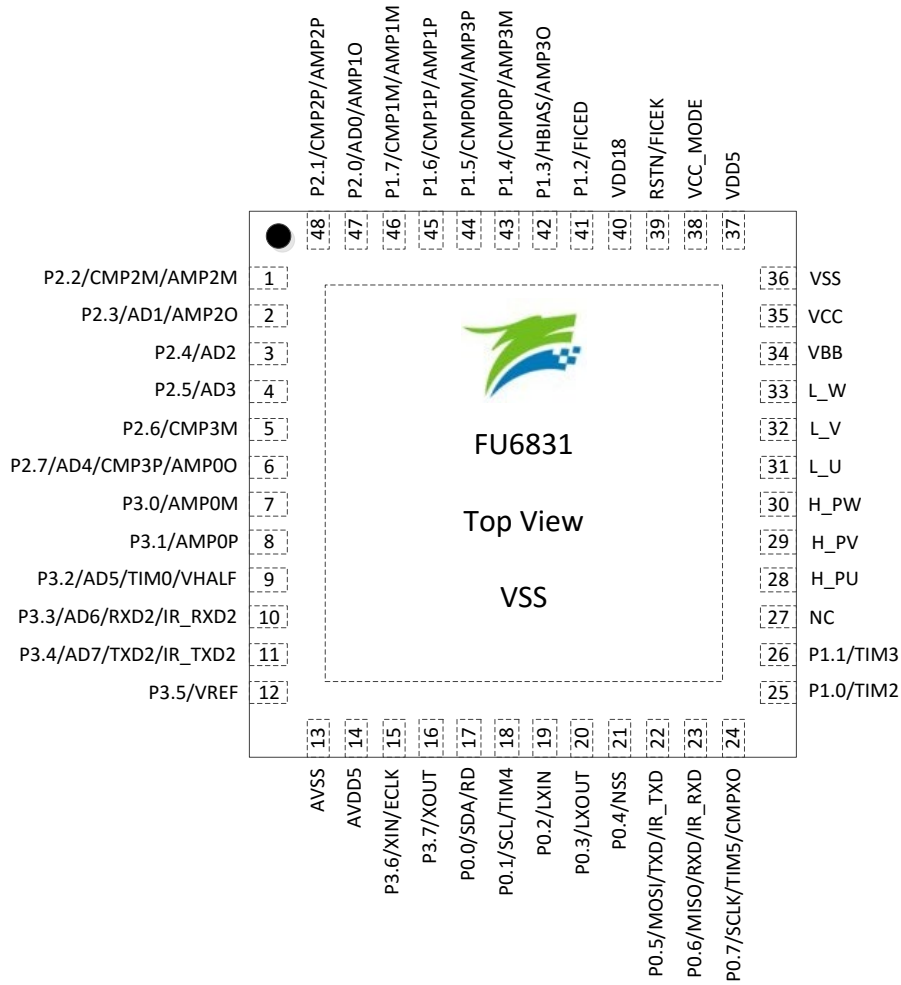
2.2 FU6831 封装-LQFP48


图 2-1 FU6831 封装-LQFP48

2.3 FU6831 封装-QFN48

图 2-2 FU6831 封装-QFN48

2.4 FU6831 QFN32 引脚列表

表 2-2 FU6831 QFN32 引脚列表

PAD 名称	FU6831 QFN32	IO 类型	功能描述
P2. 6/ CMP3M	1	DB/ AI	GPIO P2. 6, 可配置外部中断 1 输入 过流参考信号输入, 比较器 3 的负输入端
P2. 7/ AD4/ CMP3P/ AMPO0	2	DB/ AI/ AI/ AO	GPIO P2. 7, 可配置外部中断 1 输入 ADC 通道 4 输入, 用于采集放大后的母线电流信号 比较器 3 的正输入端, 接母线电流采样信号, 用于检测过流 运放 0 输出端, 将母线电流放大后的电压输出
P3. 0/ AMPOM	3	DB/ AI	GPIO P3. 0 运放 0 负输入, 用于放大母线电流信号
P3. 1/ AMPOP	4	DB/ AI	GPIO P3. 1 运放 0 正输入, 用于放大母线电流信号
P3. 2/ AD5/ TIM0/ VHALF	5	DB/ AI/ DO/ AO	GPIO P3. 2 过温信号输入, ADC 通道 5 输入 Advanced timer 通道 4 输出 1/2 VDD5 或 1/2 VREF 参考输出, 外接 1uF 电容
P3. 4/ AD7/ TXD2/ IR_TXD2	6	DB AI/ DO/ DO	GPIO P3. 4 模拟速度控制输入, AD 通道 7 输入 功能转移后 UART2 数据发送端 功能转移后红外数据发送端
P3. 5/ VREF	7	DB/ AI	GPIO P3. 5 ADC 外部参考电压输入或者内部 VREF 输出, 外接 1uF 电容
AVSS	8	P	模拟地
AVDD5	9	P	模拟电源输入, 在芯片外部与 VDD5 相连, 并接 1uF 电容到模拟地
P0. 0/ SDA/ RD	10	DB/ DB/ DO	GPIO P0. 0, 可配置外部中断 0 输入 I2C SDA, 集电极开路输出, 可配置 4. 7K 上拉电阻 电机堵转指示输出, 集电极开路输出
P0. 1/ SCL/ FG/TIM4/	11	DB/ DB/ DB/	GPIO P0. 1 I2C SCL 时钟, 集电极开路输出, 可配置 4. 7K 上拉电阻 电机转速脉冲输出, 可选择每转 1 个或 3 个脉冲, 集电极开路输出 (Timer4 捕获模式输入或 PWM 模式输出)
P1. 4/ CMPPOP/ P2. 4/ AD2	12	DB/ AI/ DB/ AI	GPIO P1. 4, 可配置外部中断 1 输入, 可配置 4. 7K 上拉电阻, 可用于 Timer1 的开关型 hall0 输入 差分 hall0/BEMFO 正输入 GPIO P2. 4, 可配置外部中断 1 输入 ADC 通道 2 输入, 母线电压信号输入

PAD 名称	FU6831	IO 类	功能描述
P0. 5/ MOSI/ TXD/ IR_TXD	13	DB/ DB/ DO/ DO	GPIO P0. 5 SPI_MOSI, 主机模式输出或从机模式输入 功能转移前 UART1 数据发送端 功能转移前红外数据发送端
P0. 6/ MISO/ RXD/ IR_RXD	14	DB/ DB/ DI/ DI	GPIO P0. 6 SPI_MISO, 主机模式输入或从机模式输出 功能转移前 UART1 数据接收端 功能转移前红外数据接收端
P0. 7/ SCLK/ TIM5/ CMPX0	15	DB/ DB/ DB/ DO	GPIO P0. 7 SPI 接口时钟 CLK Timer5 捕获模式输入或 PWM 模式输出 比较器输出测试引脚
P1. 1/ TIM3	16	DB/ DB	GPIO P1. 1, 可配置外部中断 1 输入 Timer3 捕获模式输入或 PWM 模式输出
H_PU	17	AO	3P3N 模式 Predriver 上半桥 U 相电压输出, 内置 47K 上拉电阻
H_PV	18	AO	3P3N 模式 Predriver 上半桥 V 相电压输出, 内置 47K 上拉电阻
H_PW	19	AO	3P3N 模式 Predriver 上半桥 W 相电压输出, 内置 47K 上拉电阻
L_U	20	DO	3P3N 模式 Predriver 下半桥 U 相电压输出, 内置 47K 下拉电阻
L_V	21	DO	3P3N 模式 Predriver 下半桥 V 相电压输出, 内置 47K 下拉电阻
L_W	22	DO	3P3N 模式 Predriver 下半桥 W 相电压输出, 内置 47K 下拉电阻
VBB	23	P	10V LDO 输出, 外接 1~4.7uF 电容
VCC	24	P	电源输入, 外接 10uF 或更大滤波电容。 外部电源从 VCC 输入 5~24V, VDD5 由内部 LDO 产生
VSS	25	P	数字地
VDD5	26	P	内部 5V LDO 输出电源, 外接 1~4.7uF 电容.
RSTN/ FICEK	27	DI/ DI	外部复位输入, 内置上拉电阻, 施密特输入 FICE 调试接口时钟端
VDD18	28	P	1.8V LDO 输出电源, 外接 1~4.7uF 电容
P1. 2/ FICED	29	DB/ DB	GPIO P1. 2, 可配置外部中断 1 输入 FICE 数据端口
P1. 3/ HBIAS	30	DB/ DO	GPIO P1. 3 HALL 偏置电源, 内部通过开关连接 VDD5
P1. 6/ CMP1P P2. 0/ ADO	31	DB/ AI/ DB/ AI	GPIO P1. 6, 可配置外部中断 1 输入, 可配置 4.7K 上拉电阻, 可用于 Timer1 的开关型 hall 输入 差分 hall/BEMF1 正输入 GPIO P2. 0, 可配置外部中断 1 输入 ADC 通道 0 输入, 用于采集相电流 1 放大后的信号

PAD 名称	FU6831	IO 类	功能描述
P2. 1/	32	DB/	GPIO P2. 1, 可配置外部中断 1 输入, 可配置 4. 7K 上拉电阻, 可用于 Timer1 的开关型 hall2 输入
CMP2P/		AI/	差分 hall2/BEMF2 正输入
P2. 3/		DB/	GPIO P2. 3, 可配置外部中断 1 输入
AD1		AI	ADC 通道 1 输入, 用于采集相电流 2 放大后的信号

注:

1. IO 类型说明

DI = 数字输入,

DO = 数字输出,

DB = 数字双向,

AI = 模拟输入,

AO = 模拟输出,

P = 电源

2. FU6831 QFN32 引脚有多个管脚合封在一起, 如 P1.4、P2.4 共用一封装引脚, P1.6、P2.0 共用一封装引脚, P2.1、P2.3 共用一封装引脚, 封装引脚共用的 IO 的类型可分别配置, 但注意如果同配为输出时, 不可一个输出高, 另一个输出低。

2.5 FU6831 封装-QFN32

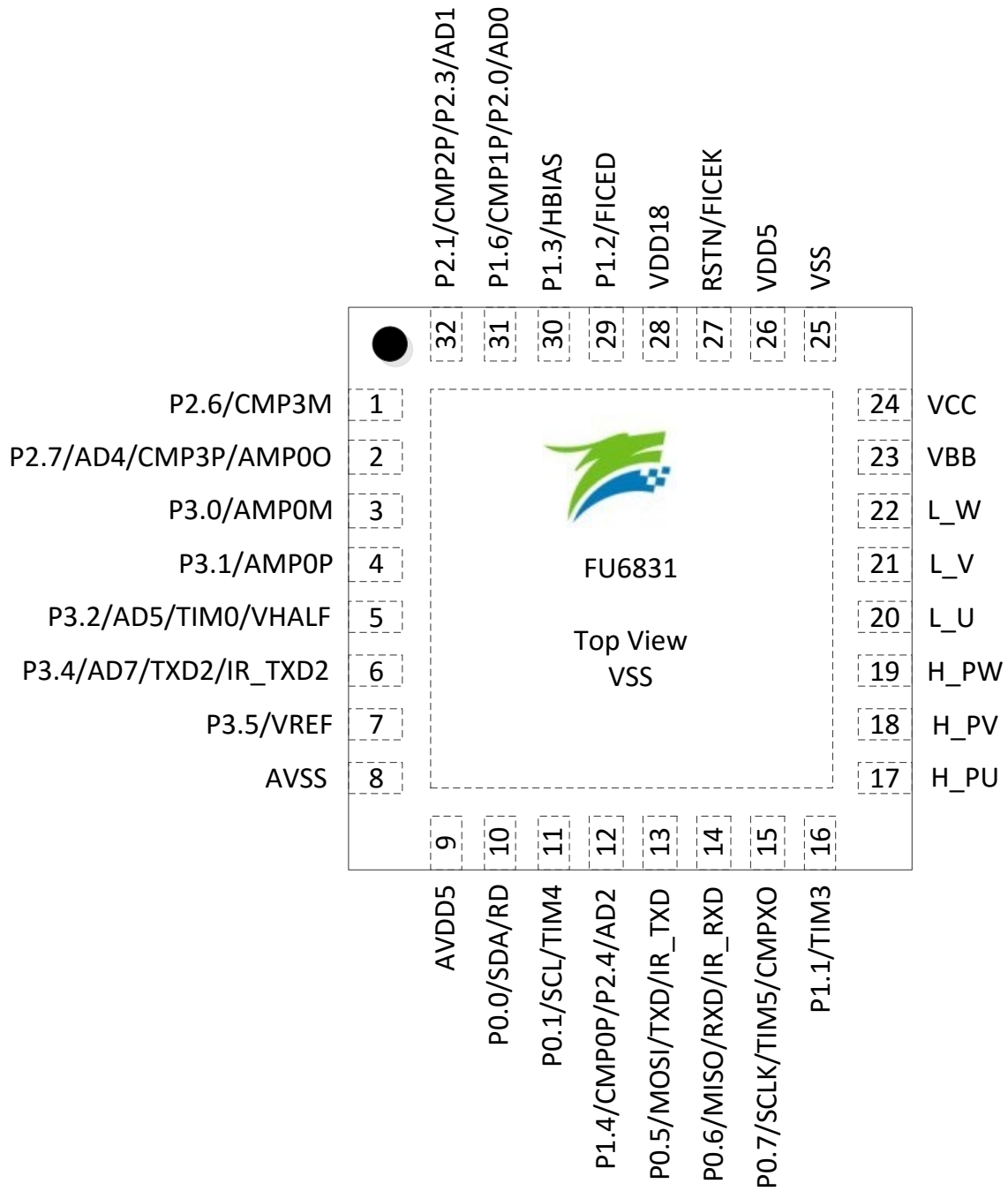


图 2-3 FU6831 封装-QFN32

2.6 FU6811 LQFP48 引脚列表

表 2-3FU6811 LQFP48 引脚列表

PAD 名称	FU6811 LQFP48	IO 类型	功能描述
P2.2/ CMP2M/ AMP2M	1	DB/ AI/ AI	GPIO P2.2,可配置外部中断 1 输入, 可配置 4.7K 上拉电阻 差分 hall2/BEMF2 负输入 运放 2 负输入端
P2.3/ AD1/ AMP2O	2	DB/ AI/ AO	GPIO P2.3,可配置外部中断 1 输入 ADC 通道 1 输入,用于采集相电流 2 放大后的信号 运放 2 输出端
P2.4/ AD2	3	DB/ AI	GPIO P2.4,可配置外部中断 1 输入 ADC 通道 2 输入, 母线电压信号输入
P2.5/ AD3	4	DB/ AI	GPIO P2.5,可配置外部中断 1 输入 ADC 通道 3 输入
P2.6/ CMP3M	5	DB/ AI	GPIO P2.6,可配置外部中断 1 输入 过流参考信号输入, 比较器 3 的负输入端
P2.7/ AD4/ CMP3P/ AMP0O	6	DB/ AI/ AI/ AO	GPIO P2.7,可配置外部中断 1 输入 ADC 通道 4 输入, 用于采集放大后的母线电流信号 比较器 3 的正输入端, 接母线电流采样信号, 用于检测过流 运放 0 输出端, 将母线电流放大后的电压输出
P3.0/ AMP0M	7	DB/ AI	GPIO P3.0 运放 0 负输入, 用于放大母线电流信号
P3.1/ AMP0P	8	DB/ AI	GPIO P3.1 运放 0 正输入, 用于放大母线电流信号
P3.2/ AD5/ TIM0/ VHALF	9	DB/ AI/ DO/ AO	GPIO P3.2 过温信号输入,ADC 通道 5 输入 Advanced timer 通道 4 输出 1/2 VDD5 或 1/2 VREF 参考输出, 外接 1uF 电容
P3.3/ AD6/ RXD2/ IR_RXD2	10	DB/ AI/ DI/ DI	GPIO P3.3 ADC 通道 6 输入 功能转移后 UART2 数据接收端 功能转移后红外数据接收端
P3.4/ AD7/ TXD2/ IR_TXD2	11	DB/ AI/ DO/ DO	GPIO P3.4 模拟速度控制输入, AD 通道 7 输入 功能转移后 UART2 数据发送端 功能转移后红外数据发送端
P3.5/ VREF	12	DB/ AI	GPIO P3.5 ADC 外部参考电压输入或者内部 VREF 输出, 外接 1uF 电容
AVSS	13	P	模拟地

PAD 名称	FU6811 LQFP48	IO 类型	功能描述
AVDD5	14	P	模拟电源输入,在芯片外部与 VDD5 相连,并接 1uF 电容到 AVSS
P3.6/ XIN/ ECLK	15	DB/ AI/ DI	GPIO P3.6 快时钟晶体输入, 外接 24MHz 晶体输入 外部快时钟输入
P3.7/ XOUT	16	DB/ AO	GPIO P3.7 快时钟晶体输出, 外接 24MHz 晶体输入
P0.0/ SDA/ RD	17	DB/ DB/ DO	GPIO P0.0, 可配置外部中断 0 输入 I2C SDA, 集电极开路输出, 可配置 4.7K 上拉电阻 电机堵转指示输出, 集电极开路输出
P0.1/ SCL/ FG/TIM4	18	DB/ DB/ DB	GPIO P0.1 I2C SCL 时钟, 集电极开路输出, 可配置 4.7K 上拉电阻 电机转速脉冲输出, 可选择每转 1 个或 3 个脉冲, 集电极开路输出(Timer4 捕获模式输入或 PWM 模式输出)
P0.2/ LXIN	19	DB/ AI	GPIO P0.2 32768Hz 晶体输入
P0.3/ LXOUT	20	DB/ AI	GPIO P0.3 32768Hz 晶体输出
P0.4/ NSS	21	DB/ DB	GPIO P0.4 SPI 的选择端口
P0.5/ MOSI/ TXD/ IR_TXD	22	DB/ DB/ DO/ DO	GPIO P0.5 SPI_MOSI,主机模式输出或从机模式输入 功能转移前 UART1 数据发送端 功能转移前红外数据发送端
P0.6/ MISO/ RXD/ IR_RXD	23	DB/ DB/ DI/ DI	GPIO P0.6 SPI_MISO, 主机模式输入或从机模式输出 功能转移前 UART1 数据接收端 功能转移前红外数据接收端
P0.7/ SCLK/ TIM5/ CMPXO	24	DB/ DB/ DB/ DO	GPIO P0.7 SPI 接口时钟 CLK Timer5 捕获模式输入或 PWM 模式输出 比较器输出测试引脚
P1.0/ TIM2	25	DB/ DB	GPIO P1.0,可配置外部中断 1 输入 Timer2 捕获模式输入或 PWM 模式输出
P1.1/ TIM3	26	DB/ DB	GPIO P1.1,可配置外部中断 1 输入 Timer3 捕获模式输入或 PWM 模式输出
NC	27		NC Pin, 悬空
NC	28		NC Pin, 悬空
L_DU	29	DO	Gate Driver 下半桥 U 相 PWM 输出
L_DV	30	DO	Gate Driver 下半桥 V 相 PWM 输出
L_DW	31	DO	Gate Driver 下半桥 W 相 PWM 输出
H_DU	32	DO	Gate Driver 上半桥 U 相 PWM 输出

PAD 名称	FU6811 LQFP48	IO 类型	功能描述
H_DV	33	DO	Gate Driver 上半桥 V 相 PWM 输出
H_DW	34	DO	Gate Driver 上半桥 W 相 PWM 输出
VCC	35	P	<p>电源输入，电压范围由电源模式由 VCC_MODE 决定，外接 10uF 或更大滤波电容。</p> <p>1. 单电源高压模式： VCC_MODE=0，外部电源从 VCC 输入 5~24V，VDD5 由内部 LDO 产生；</p> <p>2. 单电源低压模式： VCC_MODE=1（即与 VDD5 相连），外部电源从 VDD5 输入 3~5.5V，同时将 VCC 与 VDD5 短接；</p> <p>3. 双电源模式： VCC_MODE=1（即与 VDD5 相连），外部电源 1 从 VCC 输入 5~36V，外部电源 2 从 VDD5 输入 5V</p>
VSS	36	P	数字地
VDD5	37	P	中压电源输入或内部 5V LDO 输出电源，由 VCC_MODE 决定，电源接法请参考 VCC 引脚描述，外接 1~4.7uF 电容。
VCC_MODE	38	DI	输入电源模式控制，控制模式参考 VCC 引脚功能描述
RSTN/ FICEK	39	DI/ DI	外部复位输入，内置上拉电阻，施密特输入 FICE 调试接口时钟端
VDD18	40	P	1.8V LDO 输出电源，外接 1~4.7uF 电容
P1.2/ FICED	41	DB/ DB	GPIO P1.2,可配置外部中断 1 输入 FICE 数据端口
P1.3/ HBIAS/ AMP3O	42	DB/ DO/ AO	GPIO P1.3 HALL 偏置电源，内部通过开关连接 VDD5 运放 3 输出端
P1.4/ CMP0P/ AMP3M	43	DB/ AI/ AO	GPIO P1.4,可配置外部中断 1 输入，可配置 4.7K 上拉电阻,可用于 Timer1 的开关型 hall0 输入 差分 hall0/BEMF0 正输入 运放 3 负输入端
P1.5/ CMP0M/ AMP3P	44	DB/ AI/ AI	GPIO P1.5,可配置外部中断 1 输入，可配置 4.7K 上拉电阻 差分 hall0/BEMF0 负输入 运放 3 正输入端
P1.6/ CMP1P AMP1P	45	DB/ AI/ AI	GPIO P1.6,可配置外部中断 1 输入，可配置 4.7K 上拉电阻,可用于 Timer1 的开关型 hall1 输入 差分 hall1/BEMF1 正输入 运放 1 正输入端,接相电流 1 电压信号输入
P1.7/ CMP1M/ AMP1M	46	DB/ AI/ AI	GPIO P1.7，可配置 4.7K 上拉电阻 差分 hall1/BEMF1 负输入 运放 1 负输入端

PAD 名称	FU6811 LQFP48	IO 类 型	功能描述
P2.0/ AD0/ AMP1O	47	DB/ AI/ AO	GPIO P2.0,可配置外部中断 1 输入 ADC 通道 0 输入,用于采集相电流 1 放大后的信号 运放 1 输出端
P2.1/ CMP2P/ AMP2P	48	DB/ AI/ AI	GPIO P2.1,可配置外部中断 1 输入, 可配置 4.7K 上拉电阻,可用 于 Timer1 的开关型 hall2 输入 差分 hall2/BEMF2 正输入 运放 2 正输入端,接相电流 2 电压信号输入

注:

IO 类型说明:

DI = 数字输入,

DO = 数字输出,

DB = 数字双向,

AI = 模拟输入,

AO = 模拟输出,

P = 电源

2.7 FU6811 封装-LQFP48

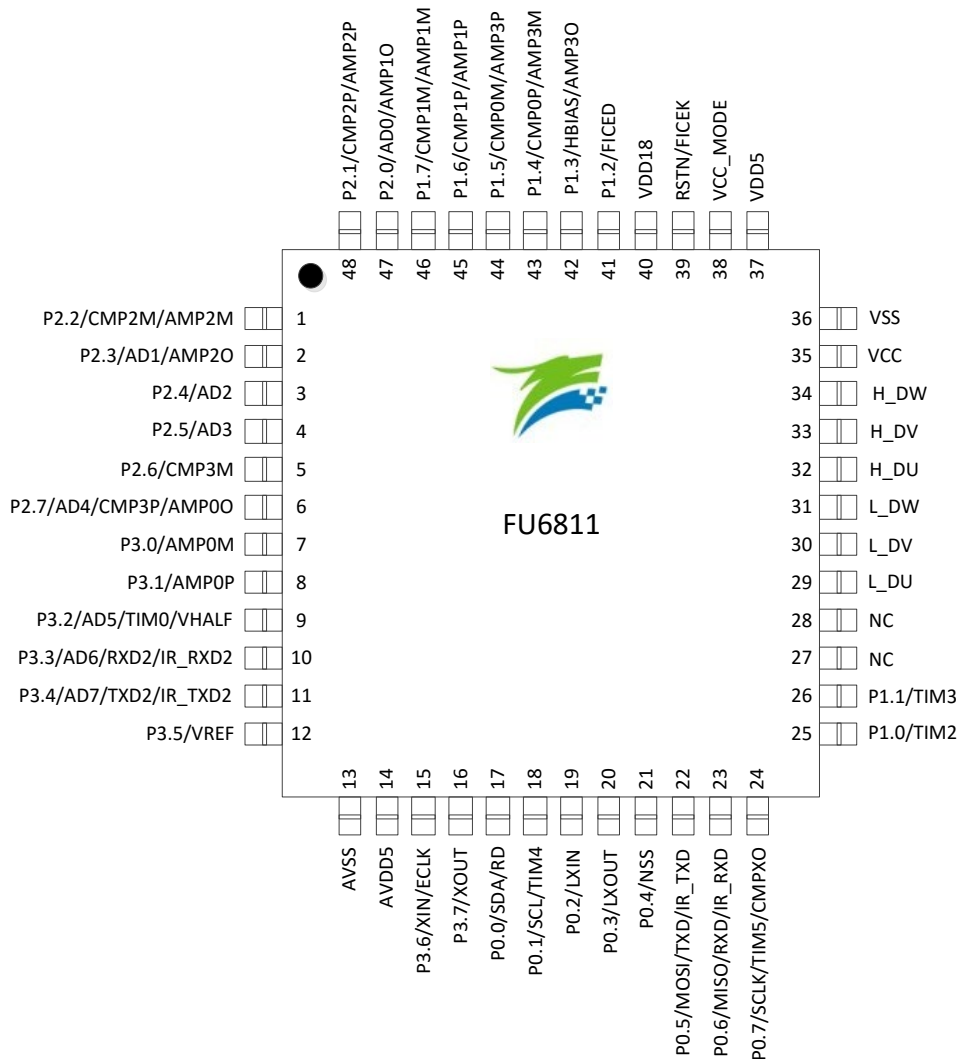


图 2-4 FU6811 封装-LQFP48

2.8 FU6811 QFN32 引脚列表

表 2-4 FU6811 QFN32 引脚列表

PAD 名称	FU6811 QFN32	IO 类型	功能描述
P2.7/ AD4/ CMP3P/ AMPO0	1	DB/ AI/ AI/ AO	GPIO P2.7, 可配置外部中断 1 输入 ADC 通道 4 输入, 用于采集放大后的母线电流信号 比较器 3 的正输入端, 接母线电流采样信号, 用于检测过流 运放 0 输出端, 将母线电流放大后的电压输出
P3.0/ AMPOM	2	DB/ AI	GPIO P3.0 运放 0 负输入, 用于放大母线电流信号

PAD 名称	FU6811	IO 类	功能描述
P3.1/ AMPOP	3	DB/ AI	GPIO P3.1 运放 0 正输入, 用于放大母线电流信号
P3.2/ AD5/ TIM0/ VHALF	4	DB/ AI/ DO/ AO	GPIO P3.2 过温信号输入, ADC 通道 5 输入 Advanced timer 通道 4 输出 1/2 VDD5 或 1/2 VREF 参考输出, 外接 1uF 电容
P3.3/ AD6/ RXD2/ IR_RXD2	5	DB/ AI/ DI/ DI	GPIO P3.3 ADC 通道 6 输入 功能转移后 UART2 数据接收端 功能转移后红外数据接收端
P3.4/ AD7/ TXD2/ IR_TXD2	6	DB AI/ DO/ DO	GPIO P3.4 模拟速度控制输入, AD 通道 7 输入 功能转移后 UART2 数据发送端 功能转移后红外数据发送端
P3.5/ VREF	7	DB/ AI	GPIO P3.5 ADC 外部参考电压输入或者内部 VREF 输出, 外接 1uF 电容
AVSS	8	P	模拟地
AVDD5	9	P	模拟电源输入, 在芯片外部与 VDD5 相连, 并接 1uF 电容到模拟地
P0.0/ SDA/ RD	10	DB/ DB/ DO	GPIO P0.0, 可配置外部中断 0 输入 I2C SDA, 集电极开路输出, 可配置 4.7K 上拉电阻 电机堵转指示输出, 集电极开路输出
P0.1/ SCL/ FG/TIM4/	11	DB/ DB/ DB/	GPIO P0.1 I2C SCL 时钟, 集电极开路输出, 可配置 4.7K 上拉电阻 电机转速脉冲输出, 可选择每转 1 个或 3 个脉冲, 集电极开路输出 (Timer4 捕获模式输入或 PWM 模式输出)
P1.4/ CMPPOP/ P2.4/ AD2	12	DB/ AI/ DB/ AI	GPIO P1.4, 可配置外部中断 1 输入, 可配置 4.7K 上拉电阻, 可用于 Timer1 的开关型 hall0 输入 差分 hall0/BEMF0 正输入 GPIO P2.4, 可配置外部中断 1 输入 ADC 通道 2 输入, 母线电压信号输入
P0.5/ MOSI/ TXD/ IR_TXD	13	DB/ DB/ DO/ DO	GPIO P0.5 SPI_MOSI, 主机模式输出或从机模式输入 功能转移前 UART1 数据发送端 功能转移前红外数据发送端
P0.6/ MISO/ RXD/ IR_RXD	14	DB/ DB/ DI/ DI	GPIO P0.6 SPI_MISO, 主机模式输入或从机模式输出 功能转移前 UART1 数据接收端 功能转移前红外数据接收端
P0.7/ SCLK/ TIM5/ CMPX0	15	DB/ DB/ DB/ DO	GPIO P0.7 SPI 接口时钟 CLK Timer5 捕获模式输入或 PWM 模式输出 比较器输出测试引脚

PAD 名称	FU6811	IO 类	功能描述
P1.1/ TIM3	16	DB/ DB	GPIO P1.1, 可配置外部中断 1 输入 Timer3 捕获模式输入或 PWM 模式输出
L_DU	17	DO	Gate Driver 下半桥 U 相 PWM 输出
L_DV	18	DO	Gate Driver 下半桥 V 相 PWM 输出
L_DW	19	DO	Gate Driver 下半桥 W 相 PWM 输出
H_DU	20	DO	Gate Driver 上半桥 U 相 PWM 输出
H_DV	21	DO	Gate Driver 上半桥 V 相 PWM 输出
H_DW	22	DO	Gate Driver 上半桥 W 相 PWM 输出
VCC	23	P	电源输入, 外接 10uF 或更大滤波电容。 高压模式: 外部电源从 VCC 输入 5~24V, VDD5 由内部 LDO 产生 低压模式: VCC 与 VDD5 短接, 输入 3~5.5V
VSS	24	P	数字地
VDD5	25	P	内部 5V LDO 输出电源, 外接 1~4.7uF 电容.
RSTN/ FICEK	26	DI/ DI	外部复位输入, 内置上拉电阻, 施密特输入 FICE 调试接口时钟端
VDD18	27	P	1.8V LDO 输出电源, 外接 1~4.7uF 电容
P1.2/ FICED	28	DB/ DB	GPIO P1.2, 可配置外部中断 1 输入 FICE 数据端口
P1.3/ HBIAS	29	DB/ DO	GPIO P1.3 HALL 偏置电源, 内部通过开关连接 VDD5
P1.6/ CMP1P/ P2.0/ ADO	30	DB/ AI/ DB/ AI	GPIO P1.6, 可配置外部中断 1 输入, 可配置 4.7K 上拉电阻, 可用于 Timer1 的开关型 hall1 输入 差分 hall1/BEMF1 正输入 GPIO P2.0, 可配置外部中断 1 输入 ADC 通道 0 输入, 用于采集相电流 1 放大后的信号
P2.1/ CMP2P/ P2.3/ AD1	31	DB/ AI/ AI/ DB/ AI	GPIO P2.1, 可配置外部中断 1 输入, 可配置 4.7K 上拉电阻, 可用于 Timer1 的开关型 hall2 输入 差分 hall2/BEMF2 正输入 运放 2 正输入端, 接相电流 2 电压信号输入 GPIO P2.3, 可配置外部中断 1 输入 ADC 通道 1 输入, 用于采集相电流 2 放大后的信号
P2.6/ CMP3M	32	DB/ AI	GPIO P2.6, 可配置外部中断 1 输入 过流参考信号输入, 比较器 3 的负输入端

注:

3. IO 类型说明

DI = 数字输入,

DO = 数字输出,

DB = 数字双向,

AI = 模拟输入，

AO = 模拟输出，

P = 电源

4. FU6831 QFN32 引脚有多个管脚合封在一起，如 P1.4、P2.4 共用一封装引脚，P1.6、P2.0 共用一封装引脚，P2.1、P2.3 共用一封装引脚，封装引脚共用的 IO 的类型可分别配置，但注意如果同配为输出时，不可一个输出高，另一个输出低。

2.10 FU6818 引脚列表

PAD 名称	FU6818 QFN56	IO 类型	功能描述
VSU	1	P	6N Predriver U 相输入，用于上半桥 U 相自举的地端参考
HU	2	DO	6N Predriver 上半桥 U 相 PWM 输出
VBU	3	P	6N Predriver 上半桥 U 相自举电源
VSV	4	P	6N Predriver V 相输入，用于上半桥 V 相自举的地端参考
HV	5	DO	6N Predriver 上半桥 V 相 PWM 输出
VBV	6	P	6N Predriver 上半桥 V 相自举电源
VSW	7	P	6N Predriver W 相输入，用于上半桥 W 相自举的地端参考
HW	8	DO	6N Predriver 上半桥 W 相 PWM 输出
VBW	9	P	6N Predriver 上半桥 W 相自举电源
VCC	10	P	电源输入，电压范围由电源模式由 VCC_MODE 决定，外接 10uF 或更大滤波电容。 模式 1： VCC_MODE=0，VCC 输入 5~24V，VDD5 由内部 LDO 产生，VDRV 输入 7~18V 模式 2： VCC_MODE=1（即与 VDD5 相连），VDD5 输入 3~5.5V，同时将 VCC 与 VDD5 短接，VDRV 输入 7~18V
VSS	11	P	数字地
VDD5	12	P	中压电源输入或内部 5V LDO 输出电源，由 VCC_MODE 决定，电源接法请参考 VCC 引脚描述，外接 1~4.7uF 电容。
VCC_MODE	13	DI	输入电源模式控制，控制模式参考 VCC 引脚功能描述
RSTN/ FICEK	14	DI/ DI	外部复位输入，内置上拉电阻，施密特输入 FICE 调试接口时钟端
VDD18	15	P	1.8V LDO 输出电源，外接 1~4.7uF 电容
VSS	16	P	数字地
P1.2/ FICED	17	DB/ DB	GPIO P1.2,可配置外部中断 1 输入 FICE 数据端口
P1.3/ HBIAS/ AMP3O	18	DB/ DO/ AO	GPIO P1.3 HALL 偏置电源，内部通过开关连接 VDD5 运放 3 输出端
P1.4/ CMP0P/ AMP3M	19	DB/ AI/ AO	GPIO P1.4,可配置外部中断 1 输入，可配置 4.7K 上拉电阻,可用于 Timer1 的开关型 hall0 输入 差分 hall0/BEMF0 正输入 运放 3 负输入端

PAD 名称	FU6818 QFN56	IO 类型	功能描述
P1.5/ CMP0M/ AMP3P	20	DB/ AI/ AI	GPIO P1.5,可配置外部中断 1 输入, 可配置 4.7K 上拉电阻 差分 hall0/BEMF0 负输入 运放 3 正输入端
P1.6/ CMP1P AMP1P	21	DB/ AI/ AI	GPIO P1.6,可配置外部中断 1 输入, 可配置 4.7K 上拉电阻,可用于 Timer1 的开关型 hall1 输入 差分 hall1/BEMF1 正输入 运放 1 正输入端,接相电流 1 电压信号输入
P1.7/ CMP1M/ AMP1M	22	DB/ AI/ AI	GPIO P1.7, 可配置 4.7K 上拉电阻 差分 hall1/BEMF1 负输入 运放 1 负输入端
P2.0/ AD0/ AMP1O	23	DB/ AI/ AO	GPIO P2.0,可配置外部中断 1 输入 ADC 通道 0 输入,用于采集相电流 1 放大后的信号 运放 1 输出端
P2.1/ CMP2P/ AMP2P	24	DB/ AI/ AI	GPIO P2.1,可配置外部中断 1 输入, 可配置 4.7K 上拉电阻,可用于 Timer1 的开关型 hall2 输入 差分 hall2/BEMF2 正输入 运放 2 正输入端,接相电流 2 电压信号输入
P2.2/ CMP2M/ AMP2M	25	DB/ AI/ AI	GPIO P2.2,可配置外部中断 1 输入, 可配置 4.7K 上拉电阻 差分 hall2/BEMF2 负输入 运放 2 负输入端
P2.3/ AD1/ AMP2O	26	DB/ AI/ AO	GPIO P2.3,可配置外部中断 1 输入 ADC 通道 1 输入,用于采集相电流 2 放大后的信号 运放 2 输出端
P2.4/ AD2	27	DB/ AI	GPIO P2.4,可配置外部中断 1 输入 ADC 通道 2 输入, 母线电压信号输入
P2.5/ AD3	28	DB/ AI	GPIO P2.5,可配置外部中断 1 输入 ADC 通道 3 输入
P2.6/ CMP3M	29	DB/ AI	GPIO P2.6,可配置外部中断 1 输入 过流参考信号输入, 比较器 3 的负输入端
P2.7/ AD4/ CMP3P/ AMP0O	30	DB/ AI/ AI/ AO	GPIO P2.7,可配置外部中断 1 输入 ADC 通道 4 输入, 用于采集放大后的母线电流信号 比较器 3 的正输入端, 接母线电流采样信号, 用于检测过流 运放 0 输出端, 将母线电流放大后的电压输出
P3.0/ AMP0M	31	DB/ AI	GPIO P3.0 运放 0 负输入, 用于放大母线电流信号
P3.1/ AMP0P	32	DB/ AI	GPIO P3.1 运放 0 正输入, 用于放大母线电流信号
P3.2/ AD5/ TIM0/ VHALF	33	DB/ AI/ DO/ AO	GPIO P3.2 过温信号输入,ADC 通道 5 输入 Advanced timer 通道 4 输出 1/2 VDD5 或 1/2 VREF 参考输出, 外接 1uF 电容

PAD 名称	FU6818 QFN56	IO 类型	功能描述
P3.3/ AD6/ RXD2/ IR_RXD2	34	DB/ AI/ DI/ DI	GPIO P3.3 ADC 通道 6 输入 功能转移后 UART2 数据接收端 功能转移后红外数据接收端
P3.4/ AD7/ TXD2/ IR_TXD2	35	DB AI/ DO/ DO	GPIO P3.4 模拟速度控制输入, AD 通道 7 输入 功能转移后 UART2 数据发送端 功能转移后红外数据发送端
P3.5/ VREF	36	DB/ AI	GPIO P3.5 ADC 外部参考电压输入或者内部 VREF 输出, 外接 1uF 电容
AVSS	37	P	模拟地
AVDD5	38	P	模拟电源输入, 在芯片外部与 VDD5 相连, 并接 1uF 电容到 AVSS
P3.6/ XIN/ ECLK	39	DB/ AI/ DI	GPIO P3.6 快时钟晶体输入, 外接 24MHz 晶体输入 外部快时钟输入
P3.7/ XOUT	40	DB/ AO	GPIO P3.7 快时钟晶体输出, 外接 24MHz 晶体输入
P0.0/ SDA/ RD	41	DB/ DB/ DO	GPIO P0.0, 可配置外部中断 0 输入 I2C SDA, 集电极开路输出, 可配置 4.7K 上拉电阻 电机堵转指示输出, 集电极开路输出
P0.1/ SCL/ FG/TIM4	42	DB/ DB/ DB	GPIO P0.1 I2C SCL 时钟, 集电极开路输出, 可配置 4.7K 上拉电阻 电机转速脉冲输出, 可选择每转 1 个或 3 个脉冲, 集电极开路输出(Capture Timer4 输入或输出)
P0.2/ LXIN	43	DB/ AI	GPIO P0.2 32768Hz 晶体输入
P0.3/ LXOUT	44	DB/ AI	GPIO P0.3 32768Hz 晶体输出
P0.4/ NSS	45	DB/ DB	GPIO P0.4 SPI 的选择端口
P0.5/ MOSI/ TXD/ IR_TXD	46	DB/ DB/ DO/ DO	GPIO P0.5 SPI_MOSI, 主机模式输出或从机模式输入 功能转移前 UART1 数据发送端 功能转移前红外数据发送端
P0.6/ MISO/ RXD/ IR_RXD	47	DB/ DB/ DI/ DI	GPIO P0.6 SPI_MISO, 主机模式输入或从机模式输出 功能转移前 UART1 数据接收端 功能转移前红外数据接收端

PAD 名称	FU6818 QFN56	IO 类 型	功能描述
P0.7/ SCLK/ TIM5/ CMPXO	48	DB/ DB/ DB/ DO	GPIO P0.7 SPI 接口时钟 CLK Timer5 捕获模式输入或 PWM 模式输出 比较器输出测试引脚
P1.0/ TIM2	49	DB/ DB	GPIO P1.0,可配置外部中断 1 输入 Timer2 捕获模式输入或 PWM 模式输出
P1.1/ TIM3	50	DB/ DB	GPIO P1.1,可配置外部中断 1 输入 Timer3 捕获模式输入或 PWM 模式输出
VDRV	51	P	6N Predriver 电源输入, 7~18V, 外接 1~10uF 电容
VSS	52	P	数字地
NC	53		NC Pin, 悬空
LU	54	DO	6N Predriver 下半桥 U 相 PWM 输出
LV	55	DO	6N Predriver 下半桥 V 相 PWM 输出
LW	56	DO	6N Predriver 下半桥 V 相 PWM 输出

注:

IO 类型说明:

DI = 数字输入,

DO = 数字输出,

DB = 数字双向,

AI = 模拟输入,

AO = 模拟输出,

P = 电源

3 电气特性

3.1 电气特性绝对最大值

表 3-1 电气特性绝对最大值

参数	条件	最小值	典型值	最大值	单位
T _A 工作时环境温度		-40	—	85	°C
T _A 工作时环境温度	适用于 FU6831, 双电源模式, VCC_MODE=VDD5=5V, VCC ≤ 24V	-40	—	105	°C
T _A 工作时环境温度	仅适用于 FU6811, 单电源低压模式, VCC=VDD5=5V	-40	—	125	°C
T _J 工作时结温		-40	—	150	°C
储存温度		-65	—	150	°C
VCC 相对 VSS 的电压		-0.3	—	36	V
VDD5 相对 VSS 的电压		-0.3	—	6.5	V
VDRV 相对 VSS 的电压	仅适用于 FU6818	-0.3	—	22	V
VBU, VBV, VBW 浮动电压	仅适用于 FU6818	-0.3	—	200	V
VSU, VSV, VSW 相线电压	仅适用于 FU6818	-0.3	—	VBU-22, VBV-22, VBW-22	V
RSTN、VCC_MODE、GPIO 相对 VSS 的电压		-0.3	—	VDD5+0.3	V

注意：如果运行条件超过了上述“绝对极限参数值”，即可能对器件造成永久性损坏。上述值仅为运行条件的极大值，我们不建议器件运行在该规范范围以外。器件长时间工作在绝对极限参数条件下，其稳定性可能受到影响。

3.2 全局电气特性

表 3-2 全局电气特性(适用于 FU6831)

(除非特别声明, $T_A = 25^\circ\text{C}$, $V_{CC} = 15\text{V}$, $V_{CC_MODE}=0$)

参数	条件	最小值	典型值	最大值	单位
VCC 工作电压	单电源高压模式, $V_{CC_MODE}=0$	5	—	24	V
	双电源高压模式, $V_{CC_MODE}=1$, $V_{CC} \geq V_{DD5}$ (2), (3)	5	—	36	V
系统时钟		—	24	—	MHz
I _{vcc} 工作电流	(1)	—	24	—	mA
I _{vcc} 待机电流	(1)	—	6	—	mA
I _{vcc} 睡眠电流	$V_{CC_MODE}=0$	—	100	250	uA

注:

1. 根据程序运行的设置发生变化
2. Flash 写入或擦除时 VDD5 必须保持在 5~5.5V
3. $V_{CC_MODE}=1$, 即为 $V_{CC_MODE}=V_{DD5}$, 后续除特别申明, $V_{CC_MODE}=1$ 的电压均与此同

表 3-3 全局电气特性(适用于 FU6811)

(除非特别声明, $T_A = 25^\circ\text{C}$, $V_{CC} = 15\text{V}$, $V_{CC_MODE}=0$)

参数	条件	最小值	典型值	最大值	单位
VCC 工作电压	单电源高压模式, $V_{CC_MODE}=0$	5	—	24	V
	双电源高压模式, $V_{CC_MODE}=1$, $V_{CC} \geq V_{DD5}$, (2)	5	—	36	V
	单电源低压模式, $V_{CC_MODE}=1$, VCC 与 VDD5 连接, (2)	3	—	5.5	V
VDD5 工作电压	$V_{CC_MODE}=1$, VCC 与 VDD5 连接, (2)	3	—	5.5	V
系统时钟		—	24	—	MHz
I _{vcc} 工作电流	(1)	—	24	—	mA
I _{vcc} 待机电流	(1)	—	6	—	mA
I _{vcc} 睡眠电流	$V_{CC_MODE}=0$	—	100	250	uA
	$V_{CC_MODE}=1$, $V_{CC}=V_{DD5}=5\text{V}$	—	45	100	uA

注:

1. 根据程序运行的设置发生变化
2. Flash 写入或擦除时 VDD5 必须保持在 5~5.5V

表 3-4 全局电气特性(适用于 FU6818)

 (除非特别声明, $T_A = 25^\circ\text{C}$, $V_{CC} = 15\text{V}$, $V_{CC_MODE}=0$)

参数	条件	最小值	典型值	最大值	单位
VCC 工作电压	单电源高压模式, $V_{CC_MODE}=0$	5	—	24	V
	双电源高压模式, $V_{CC_MODE}=1$, $V_{CC} \geq V_{DD5}$, (2)	5	—	36	V
VDD5 工作电压	$V_{CC_MODE}=1$, VCC 与 VDD5 连接, (2)	3	—	5.5	V
VDRV 工作电压		7	—	18	V
VBU, VBV, VBW 浮动电压		—	—	200	V
VBU 相对 VSU 电压, VBV 相对 VSV 电压, VBW 相对 VSW 电压		—	—	18	V
系统时钟		—	24	—	MHz
I _{vcc} 工作电流	(1)	—	24	—	mA
I _{vcc} 待机电流	(1)	—	6	—	mA
I _{vcc} 睡眠电流	$V_{CC_MODE}=0$	—	350	650	uA
	$V_{CC_MODE}=1$, $V_{CC}=V_{DD5}=5\text{V}$	—	300	500	uA

注:

1. 根据程序运行的设置发生变化
2. Flash 写入或擦除时 VDD5 必须保持在 5~5.5V

3.3 GPIO 电气特性

表 3-5GPIO 电气特性

 (除非特别声明, $T_A = 25^\circ\text{C}$, $V_{CC}=V_{DD5}=5\text{V}$, $V_{CC_MODE}=1$)

参数	条件	最小值	典型值	最大值	单位
输出上升时间	50pF Load,从 10%上升至 90%时间	—	15	—	nS
输出下降时间	50pF Load,从 90%下降至 10%时间	—	13	—	nS
V _{OH} 输出高电压	I _{OH} =4mA	VDD-0.7	—	—	V
V _{OL} 输出低电压	I _{OL} =8mA	—	—	0.7	V
V _{IH} 输入高电压	(1)	0.7*VDD5	—	—	V
V _{IL} 输入低电压		—	—	0.2*VDD5	V
上拉电阻, 除 P0[1:0]、P1[7:4]、P2[2:1]外其他 GPIO	V _{in} =0V	—	33	—	KΩ
上拉电阻, P0[1:0]、	V _{in} =0V	—	5	—	KΩ

P1[7:4]、P2[2:1]					
-----------------	--	--	--	--	--

(1) 当 VDD5=5V 时, V_{IH} 最小值可以为 $0.6 \cdot V_{DD5}$

3.4 Gate Driver IO 电气特性 (适用于 FU6811)

表 3-6 Gate Driver IO 电气特性

(除非特别声明, $T_A = 25^\circ\text{C}$, $V_{CC} = V_{DD5} = 5\text{V}$, $V_{CC_MODE} = 1$)

参数	条件	最小值	典型值	最大值	单位
输出拉电流		—	50	—	mA
输出灌电流		—	100	—	mA
输出上升时间	50pF Load, 从 10% 上升至 90% 时间	—	7	—	nS
输出下降时间	50pF Load, 从 90% 下降至 10% 时间	—	5	—	nS

3.5 Predriver 3P3N IO 电气特性 (适用于 FU6831)

表 3-7 Predriver 3P3N IO 电气特性

(除非特别声明, $T_A = 25^\circ\text{C}$, $V_{CC} = 15\text{V}$, $V_{CC_MODE} = 0$)

参数	条件	最小值	典型值	最大值	单位
上桥输出拉电流		—	150	—	mA
上桥输出灌电流		—	90	—	mA
下桥输出拉电流		—	150	—	mA
下桥输出灌电流		—	180	—	mA
上桥输出上升时间	1nF Load, 从 10% 上升至 90% 时间	—	25	—	nS
上桥输出下降时间	1nF Load, 从 90% 下降至 10% 时间	—	90	—	nS
下桥输出上升时间	1nF Load, 从 10% 上升至 90% 时间	—	115	—	nS
下桥输出下降时间	1nF Load, 从 90% 下降至 10% 时间	—	60	—	nS

3.6 Predriver 6N IO 电气特性 (适用于 FU6818)

参数	条件	最小值	典型值	最大值	单位
高电平输出峰值电流		—	1.2	—	A
低电平输出峰值电流		—	1.4	—	A
输出上升时间	1nF Load, 从 10%上升至 90%时间	—	15	30	nS
输出下降时间	1nF Load, 从 90%下降至 10%时间	—	15	30	nS
VDRV 欠压保护电压	上升沿退出保护值	4.2	4.6	5.0	V
VDRV 欠压保护迟滞电压		—	0.3	—	V
VBS 欠压保护电压	上升沿退出保护值, 上侧电源相对相线电压, 即 V(VBU-VSU)、V(VBV-VSV)、V(VBW-VSW)	4.2	4.6	5.0	V
VBS 欠压保护迟滞电压		—	0.3	—	V

3.7 ADC 电气特性

表 3-8 ADC 电气特性

(除非特别声明, $T_A = 25^\circ\text{C}$, $V_{CC} = 15\text{V}$, $V_{CC_MODE}=0$)

参数	条件	最小值	典型值	最大值	单位
INL	12 位模式,(1)	—	2	—	LSB
DNL	12 位模式,(1)	—	1.5	—	LSB
OFFSET	12 位模式,(1)	—	6	—	LSB
SNR	$f_{IN} = 350\text{KHz}$, (1)	—	70.8	—	dB
ENOB	$f_{IN} = 350\text{KHz}$, (1)	—	10.5	—	Bit
SFDR	$f_{IN} = 350\text{KHz}$, (1)	—	68.2	—	dB
THD	$f_{IN} = 350\text{KHz}$, (1)	—	67	—	dB
R_{IN} 输入电阻	(1)	—	500	—	Ω
C_{IN} 输入电容	(1)	—	30	—	pF
转换时间	12 位模式,(1)	—	13	—	ADCLK 个数
	10 位模式,(1)	—	11	—	ADCLK 个数
采样时间	(1)	3	—	63	ADCLK 个数

备注:

(1) ADCLK=12MHz

3.8 参考电压电气特性

表 3-9 VREF& VHALF

($T_A = -40\sim 85^\circ\text{C}$, $V_{CC} = 15\text{V}$, $V_{CC_MODE}=0$)

参数	条件	最小值	典型值	最大值	单位
VREF	VREFVSEL=00B	—	3	—	V
	VREFVSEL=01B	—	4	—	V
	VREFVSEL=10B	—	4.5	—	V
	VREFVSEL=11B, $V_{DD5}=5.3\text{V}$, VCC_MODE=1	—	5	—	V
VHALF	VHALFM=0	—	$V_{DD5}/2$	—	V
	VHALFM=1	—	$V_{REF}/2$	—	V

3.9 运算放大器电气特性

表 3-10 运算放大器电气特性

 (除非特别声明, $T_A = 25^\circ\text{C}$, $V_{CC} = 15\text{V}$, $V_{CC_MODE}=0$)

参数	条件	最小值	典型值	最大值	单位
V_{ICMR} 共模输入范围		0	—	$V_{DD5}-1.5$	V
V_{OS} 运放的失配电压	$T_A = 25^\circ\text{C}$	—	5	—	mV
A_{OL} 开环增益	$R_L=100\text{K}\Omega$	—	80	—	dB
UGBW 单位增益带宽	$C_L=40\text{pF}$	6	10	—	MHz
SR 运放的摆率	$C_L=40\text{pF}$	10	15	—	V/ μS

3.10 比较器电气特性

表 3-11 比较器电气特性

 (除非特别声明, $T_A = 25^\circ\text{C}$, $V_{CC} = 15\text{V}$, $V_{CC_MODE}=0$)

参数	条件	最小值	典型值	最大值	单位
V_{ICMR} 共模输入范围		0	—	V_{DD5}	V
V_{HYS} 比较器迟滞电压	CMP_CR1[5:3]=000	—	0	—	mV
	CMP_CR1[5:3]=100	—	10	—	mV
	CMP_CR1[5:3]=111	—	15	—	mV
V_{OS} 比较器失配电压		—	7	—	mV

3.11 HALL/BEMF 电气特性

表 3-12 HALL/BEMF 电气特性

 (除非特别声明, $T_A = 25^\circ\text{C}$, $V_{CC} = 15\text{V}$, $V_{CC_MODE}=0$)

参数	条件	最小值	典型值	最大值	单位
BEMF 内置电阻		5.4	6.8	8.2	$\text{K}\Omega$
BEMF 内置电阻间相对精度		—	1	—	%

3.12 OSC 电气特性

表 3-13 OSC 电气特性

 ($T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$, $V_{CC} = 5\text{V} \sim 24\text{V}$, $V_{CC_MODE}=0$)

参数	条件	最小值	典型值	最大值	单位
内部快时钟频率		23.5	24	24.5	MHz
WDT 时钟频率		29	32.8	37	KHz

3.13 复位电气特性

表 3-14 复位电气特性

 (除非特别声明, $T_A = 25^{\circ}\text{C}$, $V_{CC} = 15\text{V}$, $V_{CC_MODE}=0$)

参数	条件	最小值	典型值	最大值	单位
复位低电平最小宽度		—	25	50	uS

3.14 LDO 电气特性

表 3-15 LDO 电气特性

 (除非特别声明, $T_A = 25^{\circ}\text{C}$, $V_{CC} = 15\text{V}$, $V_{CC_MODE}=0$)

参数	条件	最小值	典型值	最大值	单位
VDD5 电压	$V_{CC} = 7\text{V}\sim 30\text{V}$, $V_{CC_MODE}=0$, $T_A = -40\sim 85^{\circ}\text{C}$	4.7	5	5.3	V
VDD18 电压		—	1.85	—	V
VBB 电压 (仅 FU6831)	$V_{CC} = 12\text{V}\sim 30\text{V}$	9	10	11	V
VBB 启动时间 (仅 FU6831)	使能至稳定值 95%输出, 1uF 电容	—	—	1	mS

3.15 封装热阻

表 3-16 LQFP48 封装热阻

参数	条件	值	单位
Θ_{JA} 芯片结温相对环境温度	(1), (3)	52.4	$^{\circ}\text{C}/\text{W}$
	(2), (3)	72.2	$^{\circ}\text{C}/\text{W}$
Θ_{JC} 芯片结温相对封装表面温度	(2), (3)	17	$^{\circ}\text{C}/\text{W}$

- (1) JEDEC 标准, 2S2P PCB
- (2) JEDEC 标准, 1S0P PCB
- (3) 实际应用条件不同, 会与测试结果有所出入

表 3-17 QFN48 封装热阻

参数	条件	值	单位
Θ_{JA} 芯片结温相对环境温度	(1), (3)	36	$^{\circ}\text{C}/\text{W}$
	(2), (3)	60	$^{\circ}\text{C}/\text{W}$
Θ_{JC} 芯片结温相对封装表面温度	(1), (3)	10.5	$^{\circ}\text{C}/\text{W}$

- (1) JEDEC 标准, 2S2P PCB

- (2) JEDEC 标准, 1S0P PCB
 (3) 实际应用条件不同, 会与测试结果有所出入

表 3-18 QFN56 封装热阻

参数	条件	值	单位
Θ_{JA} 芯片结温相对环境温度	(1), (3)	33	°C/W
	(2), (3)	55	°C/W
Θ_{JC} 芯片结温相对封装表面温度	(1), (3)	9.2	°C/W

- (1) JEDEC 标准, 2S2P PCB
 (2) JEDEC 标准, 1S0P PCB
 (3) 实际应用条件不同, 会与测试结果有所出入

表 3-19 QFN32 封装热阻

参数	条件	值	单位
Θ_{JA} 芯片结温相对环境温度	(1), (3)	47	°C/W
	(2), (3)	74	°C/W
Θ_{JC} 芯片结温相对封装表面温度	(1), (3)	20	°C/W

- (1) JEDEC 标准, 2S2P PCB
 (2) JEDEC 标准, 1S0P PCB
 (3) 实际应用条件不同, 会与测试结果有所出入

4 复位控制

表 4-1 复位控制 RSTSRC (0xC9)

位	7	6	5	4	3	2	1	0
名称	POR	EXTR	LVDR	EOSR	WDTR	FEDR	DBGGR	RSTCLR
类型	R	R	R	R	R	R	R	W
复位值	X	X	X	X	X	X	X	0

字段	名称	描述
[7]	POR	上电复位标志 0: 最后一次复位不是来自于上电复位 1: 最后一次复位来自于上电复位
[6]	EXTR	外部复位标志 0: 最后一次复位不是来自于外部复位 1: 最后一次复位来自外部复位
[5]	LVDR	低电压复位标志 0: 最后一次复位不是来自于低电压引发的复位 1: 最后一次复位来自于低电压引发的复位
[4]	EOSR	电过度应力复位标志 0: 最后一次复位不是来自于电过度应力引发的复位 1: 最后一次复位来自于电过度应力引发的复位
[3]	WDTR	看门狗溢出复位标志 0: 最后一次复位不是来自于看门狗溢出引发的复位 1: 最后一次复位来自于看门狗溢出引发的复位
[2]	FEDR	FLASH 代码保护复位标志 0: 最后一次复位不是来自 FLASH 代码保护引发的复位 1: 最后一次复位来自 FLASH 代码保护引发的复位
[1]	DBGGR	调试接口 (Debug) 复位标志 0: 最后一次复位不是来自调试接口引发的复位 1: 最后一次复位来自调试接口引发的复位
[0]	RSTCLR	清除模拟复位标志寄存器 写入 1 时清除 Bit[7:3]复位标志, 读出时无意义。

4.1 复位源(RSTSRC)

芯片有 7 个复位源: 上电复位(POR)、外部复位(EXTR)、低电压(LVDR)复位、电应力复位(EOSR)、看门狗复位(WDTR)、Flash 非法操作复位(FEDR)、Debug 复位(DBGGR)。

复位标志可查询, 记录在寄存器 RSTSRC 中。最近一次的复位会把相关的位置 1, 把其他各位标志清 0。

4.2 复位使能

复位使能参考相关配置寄存器。EOSRSTEN、LVDENB、WDTRSTEN 控制位可分别实现对 EOS、LVD、WDT 复位源的使能。

4.3 外部复位、上电复位

当芯片 RSTN 管脚为低超过 20us 时，芯片认为这是一次复位事件，把复位信号置为有效，MCU 将启动复位和 BOOT 过程。同样，芯片在上电过程中也会把内部电路的上电复位置起，启动复位。

4.4 低电压侦测复位

芯片的内部电路会对 VDD 进行监测，如果 VDD 电压降低到了复位阈值，内部监测电路将发出对应的复位信号，促使芯片发生复位。

相关配置寄存器可使能低电压侦测电路，以及低电压阈值。

4.5 看门狗溢出复位

使能看门狗定时器后，如果在其计数溢出之前没有及时喂狗，计数器溢出之后将会引发系统复位。这个复位源能够避免程序跑飞。看门狗溢出后复位模块将系统复位。

4.6 FEDR 复位

FLASH 操作模块提供了软件用 MOVX“自写”、“自擦除”以及读取加密扇区 FLASH 的功能（见后续代码保护章节），如果软件试图用这一指令操作加密位所在的扇区以及加密扇区，那么将发出 FLASH 非法操作复位。FEDR 复位源一直使能，不可禁止。

4.7 EOS 过度电应力复位

EOS(Electrical Over Stress)是指芯片的电压、电流超出了芯片能承受的范围，当这种情况若配置寄存器控制位 EOSRSTEN=1，则 EOS 侦测电路会发出复位信号，启动系统复位。

5 中断控制

5.1 中断寄存器

5.1.1 IE (0xA8)

表 5-1IE (0xA8), 中断使能

位	7	6	5	4	3	2	1	0
名称	EA	RTCIE	MCDIE	ES0	SPIIE	EX1	TSDIE	EX0
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	EA	芯片中断总使能 0:禁止 1:使能
[6]	RTCIE	RTC 中断使能 0:禁止 1:使能
[5]	MCDIE	MCD(missing clock detect) 时钟缺失中断使能 0:禁止 1:使能
[4]	ES0	UART中断使能 0:禁止 1:使能
[3]	SPIIE	SPI中断使能 0:禁止 1:使能
[2]	EX1	外部中断1使能 0:禁止 1:使能
[1]	TSDIE	TSD(Temperature sensor detect) 温度感应侦测中断 0:禁止 1:使能
[0]	EX0	外部中断0使能 0:禁止 1:使能

5.1.2 IP0 (0xB8)

表 5-2IP0 (0xB8) 中断优先级寄存器 0

位	7	6	5	4	3	2	1	0
名称	PFOC		PX1		PX0		PLVW	
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:6]	PFOC	FOC 中断优化级控制
[5:4]	PX1	INT1（外部中断 1）优化级控制
[3:2]	PX0	INT0（外部中断 0）优化级控制
[1:0]	PLVW	LVW（低电压告警）中断优化级控制

注：中断优化级控制值从 0~3 依次表示优化级从最低到最高，共 4 级优化级控制。

5.1.3 IP1 (0xC0)

表 5-3 IP1 (0xC0), 中断优先级寄存器 1

位	7	6	5	4	3	2	1	0
名称	PCMP		PADC		PTIM1		PTIM0	
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:6]	PCMP	比较器中断优化级控制
[5:4]	PADC	ADC 中断优化级控制
[3:2]	PTIM1	定时器 1 中断优化级控制
[1:0]	PTIM0	定时器 0 中断优化级控制

注：中断优化级控制值从 0~3 依次表示优化级从最低到最高，共 4 级优化级控制。

5.1.4 IP2 (0xC8)

表 5-4 IP2 (0xC8), 中断优先级寄存器 2

位	7	6	5	4	3	2	1	0
名称	PTSD		PTIM45		PTIM23		PRTC	
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:6]	PTSD	TSD 温度感应侦测中断优化级控制
[5:4]	PTIM45	定时器 4/5 中断优化级控制
[3:2]	PTIM23	定时器 2/3 中断优化级控制
[1:0]	PRTC	RTC 中断优化级控制

注：中断优化级控制值从 0~3 依次表示优化级从最低到最高，共 4 级优化级控制。

5.1.5 IP3 (0xD8)

表 5-5 IP3 (0xD8) ,中断优先级寄存器 3

位	7	6	5	4	3	2	1	0
名称	PMCD		PSPI		PI2C		PUART	
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:6]	PMCD	MCD 时钟缺失中断优先级控制
[5:4]	PSPI	SPI 中断优先级控制
[3:2]	PI2C	I2C 中断优先级控制
[1:0]	PUART	UART 中断优先级控制

注：中断优化级控制值从 0~3 依次表示优化级从最低到最高，共 4 级优化级控制。

5.1.6 TCON (0x88)

表 5-6 TCON (0x88)

位	7	6	5	4	3	2	1	0
名称	RSV	MCDIF	TSDIF	IT1		IF0	IT0	
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	RSV	保留
[6]	MCDIF	MCD 时钟缺失中断标志 0: 未发生时钟缺失中断 1: 发生了时钟缺失中断。软件写入 0 清此位为零
[5]	TSDIF	TSD 温度感应侦测中断标志 0: 芯片未发生超过设定温度的中断 1: 芯片发生了超过设定温度的中断。软件写入 0 清此位为零
[4:3]	IT1[1:0]	INT1外部中断1电平触发控制 2'b00: 上升沿触发中断 2'b01: 下降沿触发中断 2'b1x: 电平改变（上升或下降）触发中断
[2]	IF0	INT0 外部中断 0 标志 0: INT0 未发生中断 1: INT0 发生了中断。软件写入 0 清此位为零
[1:0]	IT0[1:0]	INT0外部中断0电平触发控制 2'b00: 上升沿触发中断 2'b01: 下降沿触发中断 2'b1x: 电平改变（上升或下降）触发中断

5.2 中断说明

表 5-7 中断说明

中断源	默认优先级	向量地址	标志位	是否软件清除	中断使能位	优化级控制
复位	最高	0x0000	N/A	N/A	一直使能	最高
LVW 检测中断 (低电压预警中断)	0	0x0003	LVSR[0]	Y	CCFG1[6]	IP0[1:0]
外部中断 INT0	1	0x000B	TCON[2]	Y	IE[0]	IP0[3:2]
外部中断 INT1 (IO 变化中断)	2	0x0013	P1IF[7:0]/ P2IF[7:0]	Y	IE[2]	IP0[5:4]
FOC 中断	3	0x001B	FOC_CR1[1]	Y	FOC_CR1[0]	IP0[7:6]
Advanced timer 中 断 (TIM0 中断)	4	0x0023	TIM0_SR1	Y	TIM0_IER	IP1[1:0]
BLDC timer 中断 (TIM1 中断)	5	0x002B	TIM1_BCSR	Y	TIM_BCSR	IP1[3:2]
ADC 中断	6	0x0033	ADC_STA[0] ADC_CFG[0]	Y	ADC_STA[1] ADC_CFG[1]	IP1[5:4]
比较器 CMP 中断 (三个 HALL 比较器)	7	0x003B	CMP_RISR[7:0]	Y	CMP_CR0 CMP_CR1	IP1[7:6]
RTC 中断	8	0x0043	RTC0STA[6]	Y	IE[6]	IP2[1:0]
Capture Timer (TIM2)中断 Capture Timer (TIM3)中断	9	0x004B	TIM2_CR1[7:5] TIM3_CR1[7:5]	Y	TIM2_CR1[4:3] TIM3_CR1[4:3]	IP2[3:2]
Capture Timer (TIM4)中断 Capture Timer (TIM5)中断	10	0x0053	TIM4_CR1[7:5] TIM5_CR1[7:5]	Y	TIM4_CR1[4:3] TIM5_CR1[4:3]	IP2[5:4]
Tsd 中断 (温度检测 中断)	11	0x005B	TCON[5]	Y	IE[1]	IP2[7:6]
UART 中断	12	0x0063	UT_CR[1:0]	Y	IE[4]	IP3[1:0]
I2C 中断	13	0x006B	I2C_STA[7:0]	Y	I2C_MOD[5]	IP3[3:2]
SPI 中断	14	0x0073	SPI_STA[7:0]	Y	SPI_MOD[3],IE[3]	IP3[5:4]
MCD 外部 时钟缺失中断	15	0x007B	TCON[6]	Y	IE[5]	IP3[7:6]

芯片内部有 16 个中断源，如上表所述。每个中断源有四级优先级，通过 IP0~IP3 寄存器进行配置。在低优先级的中断服务程序中响应高优先级的中断请求。如果两个中断处于同级别，优先级的顺序参见上表说明，标号越小的优先级越高；新的中断不能打断相同优先级的中断处理。

IE[EA]是中断全局使能，EA=0 时不响应任何中断。

5.3 外部中断

外部中断共有 2 个中断源，其中当设置 PORT0.0 为数字 IO 输入时，可设置 EX0=1 使其作为外部中断 0 (INT0)。当设置 PORT1.0~1.7、PORT2.0~2.7 为数字 IO 输入时，可设置 EX1=1 及对应 P1IE/P2IE 使其共用外部中断 1 (INT1)。

外部中断 0 使能位 EX0，中断标志位 IF0，中断电平触发控制 IT0。

外部中断 1 使能位 EX1，16 个 PIN 的中断使能由寄存器 P1IE、P2IE 控制。对应的中断标志位为 P1IF、P2IF，中断电平触发控制为 IT1。

表 5-8 外部中断 1 对应的 IO

SFR 地址	字段	名称	描述	R/W	复位值
0xD1	[7:0]	P1IE[7:0]	Port1 作为外部中断 1 时，各 PIN 中断使能	R/W	0x00
0xD2	[7:0]	P1IF[7:0]	Port1 作为外部中断 1 时，各 PIN 中断标志位。 软件写入 0 清零对应的中断标志位。 注意：MCU 写 0 清对应标志位时，不需要清 0 的标志位必须写 1，否则可能产生误清中断的情况，推荐使用如下语句： <code>mov D2h,#0FEh</code> ，以清 P1IF[0]	R/W	0x00
0xD3	[7:0]	P2IE[7:0]	Port2 作为外部中断 1 时，各 PIN 中断使能	R/W	0x00
0xD4	[7:0]	P2IF[7:0]	Port2 作为外部中断 1 时，各 PIN 中断标志位。 MCU 写 0 清对应的中断标志位。 注意：MCU 写 0 清对应标志位时，不需要清 0 的标志位必须写 1，否则可能产生误清中断的情况，推荐使用如下语句： <code>mov D4h,#0FEh</code> ，以清 P2IF[0]	R/W	0x00

6 I2C

6.1 操作说明

6.1.1 主机模式

1. 配置 I2CMS = 1 (I2C_MOD[6]), 设置为主机模式;
2. 配置 I2CSPD(I2C_MOD[2:1]), 设置时钟 SCL 频率;
3. 配置 I2CADD (I2C_ID[7:1]), 设置目标器件地址;
4. 配置 DMOD(I2C_STA[6]), 设置读写方向;
5. 配置 I2CEN = 1 (I2C_MOD[7]), 使能 I2C;
6. 配置 START = 1 (I2C_STA[4]), 发送 START 和地址;
7. 地址发送完且接收从机 ACK/NACK 后, STR(I2C_STA[2])硬件置一, SCL 被主机强制拉低, 等待下一步动作;
8. 如果是发送数据, 写 I2C_DAT 寄存器后, 设置 STR(I2C_STA[2]) = 0 释放 SCL, 主机开始发送数据且等待发送完毕且接收从机 ACK/NACK 后, STR(I2C_STA[2])硬件置一, SCL 被主机强制拉低, 等待下一步动作;
9. 如果是接收数据, 设置 STR(I2C_STA[2]) = 0 释放 SCL, 主机开始接收数据且等待接收完毕后, STR(I2C_STA[2])硬件置一, SCL 被主机强制拉低, 等待软件设置 NACK(I2C_STA[1])发送 ACK/NACK, 设置 STR(I2C_STA[2]) = 0 释放 SCL 后发送 ACK/NACK, 并接收下一字节后主机强制拉低 SCL;
10. 发送 STOP, 假如在发送/接收过程中设置 STOP(I2C_STA[3]) = 1, 主机在发送完当前字节/接收完当前字节并发送 ACK/NACK 后发送 STOP;

6.1.2 从机模式

1. 配置 I2CMS = 0 (I2C_MOD[6]), 设置为从机模式;
2. 配置 I2CADD (I2C_ID[7:1]), 设置 slave 地址; 或者配置 GC=1 (I2C_ID[0]), 使能广播模式;
3. 配置 I2CEN = 1 (I2C_MOD[7]), 使能 I2C;
4. 等待接收 start 和地址, 接收 start 和地址后 SCL 被从机强制拉低, START(I2C_STA[4]), STR(I2C_STA[2])硬件置一, 等待软件设置 NACK(I2C_STA[1])发送 ACK/NACK, 同时判断 DMOD(I2C_STA[6])如果是从机发送模式, 则写 I2C_DAT 寄存器; 设置 STR(I2C_STA[2]) = 0 释放 SCL 后发送 ACK/NACK 后发送数据, 等待从机发送完数据且收到主机发来的 ACK/NACK 后, SCL 被从机强制拉低, STR(I2C_STA[2])硬件置一
5. 如果是接收数据, 从机设置 STR(I2C_STA[2]) = 0 表示准备好接收数据, 释放 SCL, 主机

发送数据，等待从机接收完数据，STR(I2C_STA[2])硬件置一，SCL 被主机强制拉低，等待软件设置 NACK(I2C_STA[1])发送 ACK/NACK, 设置 STR(I2C_STA[2]) = 0 释放 SCL 后发送 ACK/NACK, 并接收下一字节后从机强制拉低 SCL;

6. RESTART 功能: 当从机在 busy 状态中接收到 START 信号，则中止当前工作，等待接收地址

6.1.3 I2C 中断源

如果 I2C 中断被允许，在下述 2 个标志位被置 1 时将产生中断。

1. STR(I2C_STA[2])，该中断标志位在主机和从机模式下都有效，用于强制拉低 SCL，等待用户下一步操作。

2. 从机模式下的 STOP(I2C_STA[3])，当该中断标志位产生，表示从机模式下接收到 STOP 信号（注意 STOP 位在主机模式下为停止信号产生功能，为中断标志位）。

6.2 I2C 寄存器

6.2.1 I2C_MOD (0x4028)

表 6-1 I2C_MOD (0x4028)

位	7	6	5:3	2	1	0
名称	I2CEN	I2CMS	RSV	I2CSPD		I2CIE
类型	R/W	R/W	R	R	R	R/W
复位值	0	0	0	0	0	0

位	名称	功能
7	I2CEN	I2C 使能位 0: 禁止 I2C 1: 使能 I2C, 相应 GPIO 切换为 I2C 模式, OPEN DRAIN 输出。I2C 上拉是否打开由其 IO 的 Pull-up 设置决定
6	I2CMS	I2C 模式选择 0: 从机模式 1: 主机模式
5:3	RSV	保留
2:1	I2CSPD	I2C速率设置, 仅对主机模式下有效 00: 100KHz传输速率 01: 400KHz传输速率 10: 1MHz传输速率 11: 不支持, 保留
0	I2CIE	中断使能位 0: 禁止 I2C 进入中断 1: 允许 I2C 进入中断, 中断请求由 I2C_STA.I2CIF 产生

6.2.2 I2C_ID (0x4029)

表 6-2 I2C_ID (0x4029)

位	7	6	5	4	3	2	1	0
名称	I2CADD							GC
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	功能
[7:1]	I2CADD	I2C 地址
[0]	GC	广播呼叫支持, 只在从机模式下有效。 0: 不支持广播呼叫 1: 支持广播呼叫, 即 0x00 地址也会响应

6.2.3 I2C_DAT (0x402A)

表 6-3 I2C_DAT (0x402A)

位	7	6	5	4	3	2	1	0
名称	DATA							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	I2C_DAT	I2C 数据寄存器

6.2.4 I2C_STA (0x402B)

表 6-4 I2C_STA (0x402B)

位	7	6	5	4	3	2	1	0
名称	I2CBSY	DMOD	RSV	START	STOP	STR	NACK	I2CIF
类型	R	R/W	R	R/W	R/W	R/W0	R/W	R
复位值	0	0	0	0	0	0	0	0

位	名称	功能
7	I2CBSY	I2C忙状态标志 当I2CEN为0时，BUSY自动为0。 主机模式： 发送START成功后，硬件置‘1’，发送STOP成功后，硬件清‘0’。 从机模式： 收到START加地址匹配成功后，硬件置‘1’，收到STOP后，硬件清‘0’。
6	DMOD	I2C读或写标志 主机模式： 0：写模式（主机端发数据，从机端收数据） 1：读模式（主机端收数据，从机端发数据） 在主机模式，DMOD在如下情况才能被有效修改： 1. START位为1 2. 往START位写1的同时改变DMOD 从机模式为只读： 0：写模式（主机端发数据，从机端收数据） 1：读模式（主机端收数据，从机端发数据）
5	RSV	保留位
4	START	主机模式： 软件置‘1’，硬件等 SCL、SDA 全为高后开始发送 START 和地址字节，当发送 START 和地址字节后硬件自动清‘0’。在发送数据的过程中，START 置‘1’，则直至当前数据发送完毕后发送 START 和地址字节。I2CEN=0，自动清零。 0：非 START 和地址字节

		<p>1: 发送 START 或 RESTART 和地址字节</p> <p>从机模式: 硬件收到 START 且地址字节匹配后置'1', 软件写 0 清'0' 如果从收到 START 但地址不匹配, START 不会置'1', 且后续所有事件会被忽略, 直到收到下一个 START 事件。</p> <p>从机模式下, START 和 STOP 决定当前 I2C 数据情况: 表 6-5 I2C 状态标志</p> <table border="1" data-bbox="475 566 1203 824"> <thead> <tr> <th>START</th> <th>STOP</th> <th>描述</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>当前发送/接收的是数据字节</td> </tr> <tr> <td>0</td> <td>1</td> <td>当前收到的是 STOP</td> </tr> <tr> <td>1</td> <td>0</td> <td>当前收到的是 START + 地址字节</td> </tr> <tr> <td>1</td> <td>1</td> <td>当前先收到的是 STOP, 然后收到 START + 地址字节</td> </tr> </tbody> </table> <p>注: 当 I2CEN 为'0'时, START 会被硬件自动清'0'.</p>	START	STOP	描述	0	0	当前发送/接收的是数据字节	0	1	当前收到的是 STOP	1	0	当前收到的是 START + 地址字节	1	1	当前先收到的是 STOP, 然后收到 START + 地址字节
START	STOP	描述															
0	0	当前发送/接收的是数据字节															
0	1	当前收到的是 STOP															
1	0	当前收到的是 START + 地址字节															
1	1	当前先收到的是 STOP, 然后收到 START + 地址字节															
3	STOP	<p>主机模式: 在 I2CBSY 为'1'时, 软件才能有效写'1', 接着硬件开始发送 STOP, 当发送完 STOP 后硬件自动清'0'; 如果 START 和 STOP 同时写'1', 且 I2CBSY 为'1', 则 I2C 先发送 STOP, 发送完 STOP 后再发 START 和地址字节, 此时 STOP 中断会被忽略, 发送完地址字节后才能产生中断。在发送数据的过程中, STOP 会被暂时禁止写入, 直至数据发送完毕。I2CEN=0, 自动清零。 0: 不发送 STOP 1: 发送 STOP</p> <p>从机模式: 硬件收到 STOP 后置'1', 软件写 0 清'0' 状态标志参考表 6-5</p> <p>注: 当 I2CEN 为'0'时, STOP 会被硬件自动清'0'.</p>															
2	STR	<p>I2C 事件完成指示。 硬件置'1', 软件写 0 清'0'; 当 I2CEN 为'0'时, STR 会被硬件自动清'0'。</p> <p>主机模式: 当硬件发送完 START 加地址字节或 DATA 字节, STR 硬件置'1', 同时 SCL 会被拉低, 直至 STR 被清'0'才释放 SCL。 如果 START 和 STOP 同为'1', 当硬件发送完 STOP 后, STR 硬件不会置'1', 需等 START 加地址字节发送完后才硬件置'1'。</p> <p>从机模式: 当硬件接收完 START 加地址匹配或 DATA 字节后, STR 硬件置'1', 同时 SCL 会被拉低, 直至 STR 被清'0'。</p>															
1	NACK	<p>I2C 每发送或接收完一字节后第 9 位 (即响应位) 的状况。I2CEN=0, 自动清零。 0: ACK</p>															

		<p>1: NACK</p> <p>主机读模式 (I2CMS=1, DMOD=1), 数据字节的响应位; 从机写模式 (I2CMS=0, DMOD=0), 数据字节的响应位。I2C 收完数据的第 8bit 后将 SCL 下拉</p> <p>0: 第 9 位发送 ACK 1: 第 9 位发送 NACK</p> <p>主机写模式 (I2CMS=1, DMOD=0), 地址或数据字节的响应位; 主机读模式 (I2CMS=1, DMOD=1), 地址字节的响应位; 从机读模式 (I2CMS=0, DMOD=1), 数据字节的响应位:</p> <p>0: 第 9 位收到的是 ACK 1: 第 9 位收到的是 NACK</p> <p>注: 无论 I2C 是主机模式还是从机模式, 如果是 I2C 发送响应位, I2C 的 STR 是在字节的第 8 位接收完后置 '1', 同时 SCL 下拉为 '0', NACK 位的值是表示即将发送的第 9 位; 如果是 I2C 接收响应位, I2C 的 STR 是在字节的第 9 位接收完后置 '1', 同时 SCL 下拉为 '0', NACK 位的值是表示当前收到的第 9 位。</p>
0	I2CIF	<p>I2C 中断请求标志位, 清除 I2CIF 将允许 I2C 继续传输数据。</p> <p>0: 无 I2C 中断请求 1: 有 I2C 中断请求</p> <p>主机模式: 当 STR 为 '1' 时, I2CIF 为 '1', 否则为 '0'。</p> <p>从机模式: 当 STOP 为 '1' 或者 STR 为 '1' 时, I2CIF 为 '1', 否则为 '0'。</p>

7 SPI

SPI 提供访问一个全双工同步串行总线的能力。SPI 可以作为主器件或从器件工作, 可以使用 3 线或 4 线方式, 并可在同一总线上支持多个主器件和从器件。从选择信号 (NSS) 可被配置为输入以选择工作在从方式的 SPI, 或在多主环境中禁止主方式操作, 以避免两个以上主器件试图同时进行数据传输时发生 SPI 总线冲突。NSS 可以被配置为片选输出 (在主方式), 或在 3 线操作时被禁止。在主方式, 可以用其他通用端口 I/O 引脚选择多个从器件。

7.1 操作说明

7.1.1 信号说明

下面介绍 SPI 所使用的 4 个信号 (MOSI、MISO、SCK、NSS)。

7.1.1.1 主输出、从输入 (MOSI)

主出从入 (MOSI) 信号是主器件的输出和从器件的输入，用于从主器件到从器件的串行数据传输。当 SPI 作为主器件时，该信号是输出；当 SPI 作为从器件时，该信号是输入。数据传输时最高位在先。当被配置为主器件时，MOSI 由移位寄存器的 MSB 驱动。

7.1.1.2 主输入、从输出 (MISO)

主入从出 (MISO) 信号是从器件的输出和主器件的输入，用于从从器件到主器件的串行数据传输。当 SPI 作为主器件时，该信号是输入；当 SPI 作为从器件时，该信号是输出。数据传输时最高位在先。当 SPI 被禁止或工作在 4 线从方式而未选中时，MISO 引脚被置于高阻态。当作为从器件工作在 3 线方式时，MISO 由移位寄存器的 MSB 驱动。

7.1.1.3 串行时钟 (SCK)

串行时钟 (SCK) 信号是主器件的输出和从器件的输入，用于同步主器件和从器件之间在 MOSI 和 MISO 线上的串行数据传输。当 SPI 作为主器件时产生该信号。在 4 线从方式，当从器件未被选中时 (NSS=1)，SCK 信号被忽略。

7.1.1.4 从选择 (NSS)

从选择 (NSS) 信号的功能取决于 SPI_CTRL 寄存器中 NSSMD1 和 NSSMD0 位的设置。有 3 种可能的方式：

1. NSSMD[1:0] = 00: 3 线主方式或从方式：SPI 工作在 3 线方式，NSS 被禁止。当作为从器件工作在 3 线方式时，SPI 总是被选择。由于没有选择信号，SPI 必须是总线唯一的从器件。这种情况用于一个主器件和一个从器件之间点对点通信。

2. NSSMD[1:0] = 01: 4 线从方式或多主方式：SPI 工作在 4 线方式，NSS 作为输入。当作为从器件时，NSS 选择从 SPI 器件。当作为主器件时，NSS 信号的负跳变禁止 SPI 的主器件功能，因此可以在同一个 SPI 总线上使用多个主器件。

3. NSSMD[1:0] = 1x: 4 线主方式：SPI 工作在 4 线方式，NSS 作为输出。NSSMD0 的设置值决定 NSS 引脚的输出电平。这种配置只能在 SPI 作为主器件时使用。

图 7-1 图 7-2 图 7-3 给出了不同方式下的典型连接图。注意：NSSMD 位的设置影响器件的引脚分配。当工作在 3 线主或从方式时，NSS 不被分配引脚。在所有其他方式，NSS 必须被映射到器件引脚。

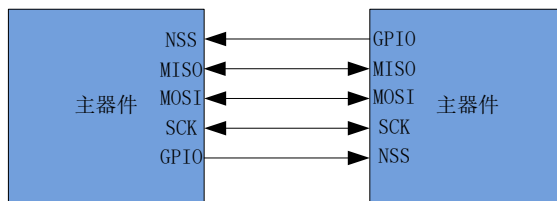


图 7-1 多主方式连接图

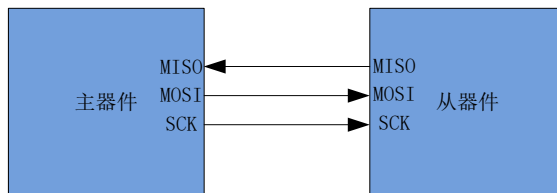


图 7-2 3 线单主方式和 3 线单从方式连接图

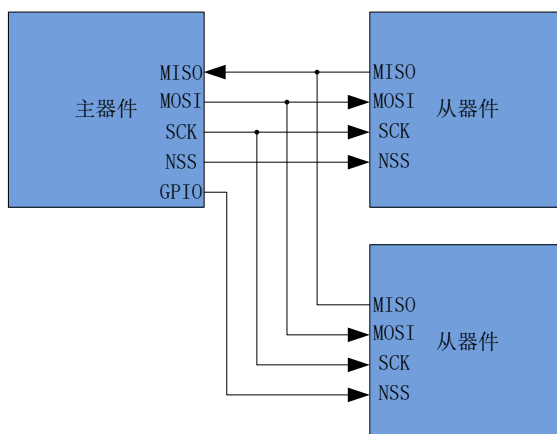


图 7-3 4 线单主方式和 4 线从方式连接图

7.1.2 SPI 主方式

只有 SPI 主器件能启动数据传输。通过将主允许标志（SPI_CFG 寄存器的 MSTEN）置 1 将 SPI 置于主方式。当处于主方式时，向 SPI 数据寄存器（SPI_DAT）写入一个字节时是写发送缓冲器。如果 SPI 移位寄存器为空，发送缓冲器中的数据字节被传送到移位寄存器，数据传输开始。SPI 主器件立即在 MOSI 线上串行移出数据，同时在 SCK 上提供串行时钟。在传输结束后中断标志位 SPIF（SPI_CTRL 寄存器的 SPIF）标志被置为逻辑 1。如果中断被允许，在 SPIF 标志置位时将产生一个中断请求。在全双工操作中，当 SPI 主器件在 MOSI 线向从器件发送数据时，被寻址的 SPI 从器件可以同时在 MISO 线上向主器件发送其移位寄存器中的内容。因此，SPIF 标志既作为发送完成标志又作为接收数据准备好标志。从从器件接收的数据字节以 MSB 在前的形式传送到主器件的移位寄存器。当一个数据字节被完全移入移位寄存器时，便被传送到接收缓冲器，处理器通过读 SPI_DAT 来读该缓冲器。

当被配置为主器件时，SPI 可以配置工作在下面的三种方式之一：多主方式、3 线单主方式或 4 线单主方式。当 NSSMD1=0 且 NSSMD0=1 时，是默认的多主方式。在该方式，NSS 是器件的输

入，用于禁止主 SPI，以允许另一主器件访问总线。在该方式，当 NSS 被拉为低电平时，MSTEN 位被硬件清 0，以禁止 SPI 主器件，且方式错误标志（SPI_CTRL 寄存器的 MODF）被置 1。如果中断被允许，将产生中断。在多主系统中，当器件不作为系统主器件使用时，一般被默认为从器件。在多主方式，可以用通用 I/O 引脚对从器件单独寻址（如果需要）。图 7-1 给出了两个主器件在多主方式下的连接图。

当 NSSMD1=0 且 NSSMD0=0 时，SPI 工作在 3 线单主方式。在该方式，NSS 未被使用，也不被映射到外部端口引脚。在该方式，应使用通用 I/O 引脚选择要寻址的从器件。图 7-2 给出了一个 3 线主方式主器件和一个从器件的连接图。

当 NSSMD1=1 时，SPI 工作在 4 线单主方式。在该方式，NSS 被配置为输出引脚，可被用作从选择信号去选中一个 SPI 器件。在该方式，NSS 的输出值由 NSSMD0 控制（软件写）。可以用通用 I/O 引脚选择另外的从器件。图 7-3 给出了一个 4 线主方式主器件和两个从器件的连接图。

7.1.2.1 主方式配置

1. 配置 NSSMID，设置 3 线主方式、4 线单主方式、多主方式
2. 配置 CKPOL(SPI_CFG[4])，设置时钟极性；
3. 配置 CKPHA(SPI_CFG[5])，设置时钟相位；
4. 配置 MSTEN=1(SPI_CFG[6])，设置为主方式；
5. 配置 SPI_SCR，设置 SCK 频率；
6. 配置 SPIEN=1(SPI_CTRL[0])，使能 SPI；
7. 配置 SPI_DAT，写入操作数据，每写一次，发送和接收一个数据。

7.1.3 SPI 从方式

当 SPI 被使能而未被配置为主器件时，它将作为 SPI 从器件工作。作为从器件，由主器件控制串行时钟（SCK），从 MOSI 移入数据，从 MISO 引脚移出数据。SPI 逻辑中的位计数器对 SCK 边沿计数。当 8 位数据经过移位寄存器后，SPIF 标志被置为逻辑 1，接收到的字节被传送到接收缓冲器。通过读 SPI_DAT 来读取接收缓冲器中的数据。从器件不能启动数据传送。通过写 SPI_DAT 来预装要发送给主器件的数据。写往 SPI_DAT 的数据是双缓冲的，首先被放在发送缓冲器。如果移位寄存器为空，发送缓冲器中的数据会立即被传送到移位寄存器。当移位寄存器中已经有数据时，SPI 将等到数据发送完后再将发送缓冲器的内容装入移位寄存器。

当被配置为从器件时，SPI 可以工作 4 线或 3 线方式。当 NSSMD1=0 且 NSSMD0=1 时，是默认的 4 线方式。在 4 线方式，NSS 被分配端口引脚并被配置为数字输入。当 NSS 为逻辑 0 时，SPI 被使能；当 NSS 为逻辑 1 时，SPI 被禁止。在 NSS 的下降沿，位计数器被复位。注意，对应每次字节传输，在第一个有效 SCK 边沿到来之前，NSS 信号必须被驱动到低电平至少两个系统时钟周期。图 7-3 给出了两个 4 线方式从器件和一个主器件的连接图。

当 NSSMD1=0 且 NSSMD0=0 时，SPI 工作在 3 线从方式。在该方式，NSS 未被使用，也不被映射到外部端口引脚。由于在 3 线从方式无法唯一地寻址从器件，所以 SPI 必须是总线上唯一的从器件。需要注意的是，在 3 线从方式，没有外部手段对位计数器复位以判断是否收到一个完整的字节。只能通过用 SPIEN 位禁止并重新使能 SPI 来复位位计数器。图 7-2 给出了一个 3 线从器件和一个主器件的连接图。

7.1.3.1 从方式配置

1. 配置 NSSMID，设置 3 线从方式、4 线从方式
2. 配置 CKPOL(SPI_CFG[4])，设置时钟极性；
3. 配置 CKPHA(SPI_CFG[5])，设置时钟相位；
4. 配置 MSTEN=0(SPI_CFG[6])，设置为从方式；
5. 配置 SPIEN=1(SPI_CTRL[0])，使能 SPI；
6. 配置 SPI_DAT，写入操作数据，等待主机发送时钟信号。

7.1.4 SPI 中断源

如果 SPI 中断被允许（IE 寄存器的 SPIIE=1），在下述 4 个标志位被置 1 时将产生中断。

注意：这 4 个标志位都必须用软件清 0。

1. 在每次字节传输结束，SPI 中断标志 SPIF 被置 1。该标志适用于所有 SPI 方式。
2. 如果在发送缓冲器中的数据尚未被传送到移位寄存器时写 SPI_DAT，写冲突标志 WCOL 被置 1。发生这种情况时，写 SPI_DAT 的操作被忽略，不会对发送缓冲器写入。该标志适用于所有 SPI 方式。
3. 当 SPI 被配置为工作于多主方式的主器件而 NSS 被拉为低电平时，方式错误标志 MODF 被置 1。当发生方式错误时，MSTEN 和 SPIEN 位被清 0，以禁止 SPI 并允许另一个主器件访问总线。
4. 当 SPI 被配置为从器件并且一次传输结束，而接收缓冲器中还保持着上一次传输的数据未被读取时，接收溢出标志 RXOVRN 被置 1。新接收的字节将不被传送到接收缓冲器，允许前面接收的字节被读取。引起溢出的数据字节丢失。

7.1.5 串行时钟时序

使用 SPI 配置寄存器 SPI_CFG 中的时钟控制选择位可以在串行时钟相位和极性的 4 种组合中选择其一。SPI_CFG 寄存器的 CKPHA 位选择两种时钟相位（锁存数据所用的边沿）中的一种。SPI_CFG 寄存器的 CKPOL 位在高电平有效和低电平有效的时钟之间选择。主器件和从器件必须被配置为使用相同的时钟相位和极性。注意：在改变时钟相位和极性期间应禁止 SPI（通过清除 SPIEN

位)。主方式下时钟和数据线的时序关系如图 7-4；从方式下时钟和数据线的时序关系如图 7-5 和图 7-6。

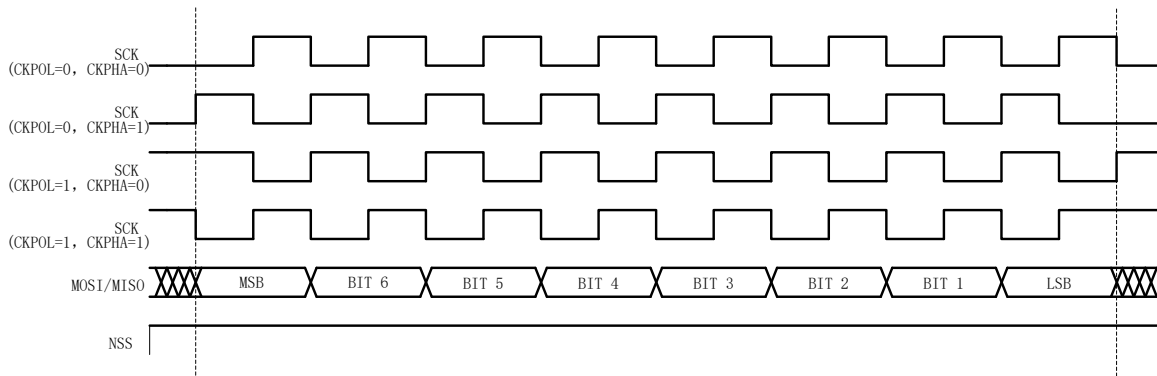


图 7-4 主方式数据/时钟时序图

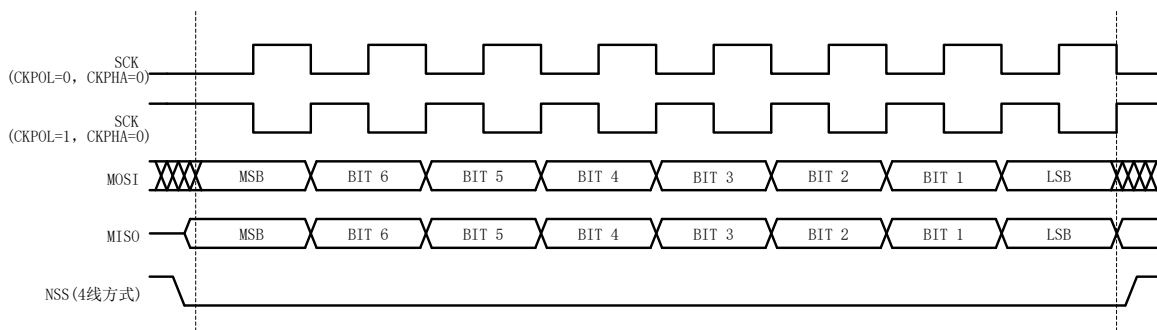


图 7-5 从方式数据/时钟时序图(CKPHA=0)

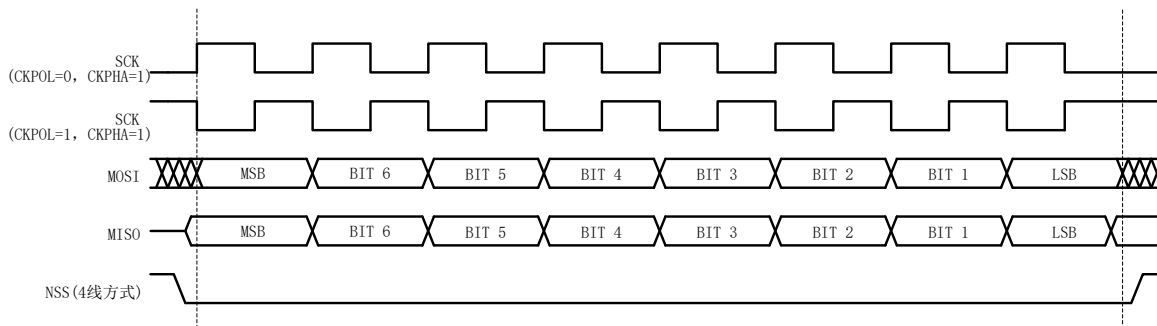


图 7-6 从方式数据/时钟时序图(CKPHA=1)

7.2 SPI 寄存器

7.2.1 SPI_CFG (0x4030)

表 7-1 SPI_CFG (0x4030)

位	7	6	5	4	3	2	1	0
名称	SPIBSY	MSTEN	CKPHA	CKPOL	SLVSEL	NSSIN	SRMT	RXBMT
类型	R	R/W	R/W	R/W	R	R	R	R
复位值	0	0	0	0	1	0	1	1

字段	名称	描述
[7]	SPIBSY	当一次 SPI 传输正在进行时（主或从方式），该位被置为逻辑 1。
[6]	MSTEN	主机/从机模式设置 0: slave（从机） 1: master（主机）
[5]	CKPHA	SPI 时钟相位 0: 在 SCK 周期的第一个边沿采样数据 1: 在 SCK 周期的第二个边沿采样数据
[4]	CKPOL	SPI 时钟极性 0: 空闲电平为低 1: 空闲电平为高
[3]	SLVSEL	当 NSS 引脚为低电平时该位被置 1, 表示 SPI 是被选中的从器件。当 NSS 引脚为高电平时（未被选中为从器件）该位被清 0。该位不指示 NSS 引脚的即时值，而是该引脚输入的去噪信号。
[2]	NSSIN	该位指示读该寄存器时 NSS 引脚的即时值。该信号未被去噪。
[1]	SRMT	移位寄存器空标志(只在从机模式时有效) 当所有数据都被移入/移出移位寄存器并且没有新数据可以从发送缓冲器读出或向接收缓冲器写入时，该位被置 1。当数据字节被从发送缓冲器传送到移位寄存器或 SCK 发生变化时，该位被清 0。 注：在主方式时 SRMT = 1
[0]	RXBMT	接收暂存器空标志(只在从机模式时有效) 当接收缓冲器被读取且没有新数据时，该位被置 1。如果在接收缓冲器中有新数据未被读取，则该位被清 0。 注：在主方式时，RXBMT = 1
相位模式/时钟极性： 00: 上升沿接收，下降沿发送，空闲电平为低 01: 上升沿发送，下降沿接收，空闲电平为高 10: 上升沿发送，下降沿接收，空闲电平为低 11: 上升沿接收，下降沿发送，空闲电平为高		

7.2.2 SPI_CTRL (0x4031)

表 7-2 SPI_CTRL (0x4031)

位	7	6	5	4	3	2	1	0
名称	SPIF	WCOL	MODF	RXOVRN	NSSMID		TXBMT	SPIEN
类型	R/W0	R/W0	R/W0	R/W0	R/W	R/W	R	R/W
复位值	0	0	0	0	0	0	1	0

字段	名称	描述
[7]	SPIF	SPI 中断标志位 当每次传输完一个数据（8bit）之后，这位将由硬件拉高。此位必须由软件写 0 清 0
[6]	WCOL	写冲突标志位 当 TXBMT 为 0 时，写入 SPIDAT 则将此位拉高， ，表示数据传送期间对 SPI 数据寄存器进行了写操作。 此位必须由软件写 0 清 0
[5]	MODF	模式错误标志位 当检测到主机模式冲突的时候将此位置为 1 (NSS is low, MSTEN = 1 and NSSMD[1:0]=01). 此位必须由软件写 0 清 0
[4]	RXOVRN	接收 overrun 标志(只在从机模式下有效) 当前传输的最后一位已经移入 SPI 移位寄存器，而接收缓冲器中仍保存着前一次传输未被读取的数据时该位由硬件置为逻辑 1(并产生一个 SPI 中断)。该位不会被硬件自动清 0，必须用软件写 0 清 0。
[3:2]	NSSMID	选择 NSS 工作方式： 00: 3 线从方式或 3 线主方式。NSS 信号不连到端口引脚。 01: 4 线从方式或多主方式（默认值）。NSS 总是器件的输入。 1x: 4 线单主方式。NSS 被分配一个输出引脚并输出 NSSMD0 的值。
[1]	TXBMT	发送缓冲器空标志 当新数据被写入发送缓冲器时，该位被清 0。当发送缓冲器中的数据被传送到 SPI 移位寄存器时，该位被置 1，表示可以向发送缓冲器写新数据。
[0]	SPIEN	SPI 使能位 0: 禁止 SPI 1: 使能 SPI

7.2.3 SPI_SCR (0x4032)

表 7-3 SPI_SCR (0x4032)

位	7	6	5	4	3	2	1	0
名称	SPI_SCR							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	SPI_SCR	SPI 时钟频率设置，master 模式有效，仅在 SPIEN=0 时可写。 $fsck = sysclk/2x(SPI_SCR[7:0] + 1)$ for $0 \leq SPI_SCR \leq 255$ Example: if $sysclk = 24MHz, SPI_SCR=0x04,$ $fsck = 24000000/2x(4+1) = 2400KHz$

7.2.4 SPI_DAT (0x4033)

表 7-4 SPI_DAT (0x4033)

位	7	6	5	4	3	2	1	0
名称	SPI_DAT							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	SPI_DAT	SPIDAT 寄存器用于发送和接收 SPI 数据。在主方式下，向 SPIDAT 写入数据时，数据被放到发送缓冲器并启动发送。读 SPIDAT 返回接收缓冲器的内容。

8 UART

8.1 UART 操作说明

8.1.1 基本功能框图

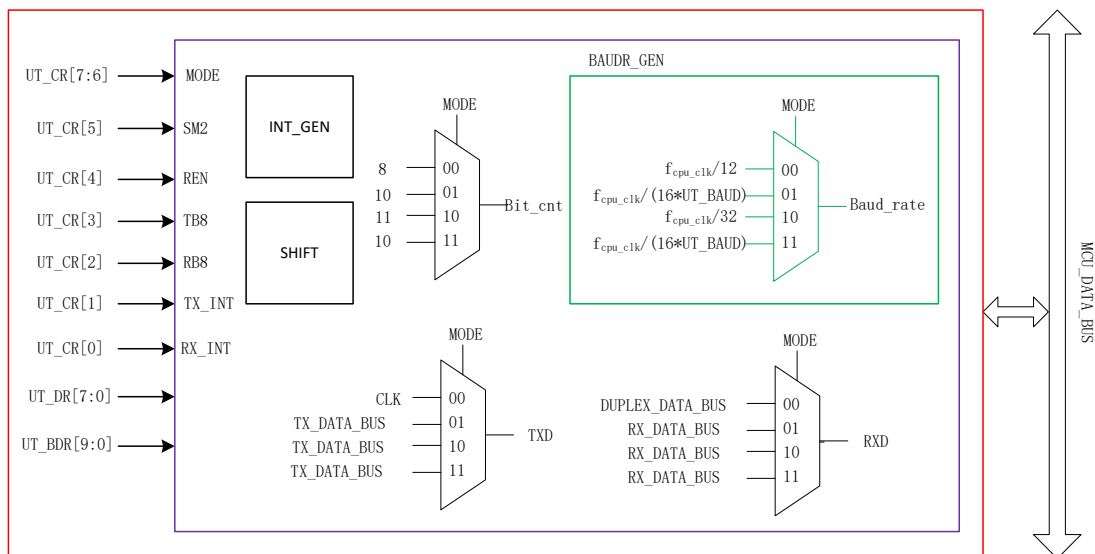


图 8-1 基本功能框图

8.1.2 模式 0

同步模式，TXD 是时钟，RXD 是双向数据总线，工作在半双工模式，波特率固定为 $f_{cpu_clk}/12=2M$ 。8 个数据位中 LSB 先发送，设置 $UT_CR[REN]=1$ 使能接收操作。

8.1.3 模式 1

8bit UART 模式，RXD 是接收数据总线，TXD 是发送数据总线。全双工/半双工模式均支持。
10bit 协议：1bit start(1'b0)+8data bits(LSB first)+1bit stop(1'b1)。接收完 8bit 数据后会设置 UT_CR[RB8]=1。波特率可配置，根据 UT_BAUD 进行分频，波特率 $f_{cpu_clk}/16/(UT_BAUD+1)$ ，UT_BAUD 默认值为 0x9B，以系统时钟 24M 计算，默认波特率为 9600。

8.1.4 模式 2

9bit UART 模式。全双工/半双工模式均支持。波特率固定为 $f_{cpu_clk}/32=750K$ 。11bit 协议：1bit start(1'b0)+8data bits(LSB first)+9th bit+1bit stop(1'b1)。发送方向的 9th=UT_CR[TB8]，接收到的 9th=UT_CR[RB8]。

8.1.5 模式 3

基本操作与模式 2 相同，但波特率设置与模式 1 相同。

8.1.6 UART 中断源

如果 UART 中断被允许（IE 寄存器的 ES0=1），在下述 2 个标志位被置 1 时将产生中断。

注意：这 2 个标志位都必须用软件清 0。

1. 在 UART 发送完 1 组数据（模式 0,1 为 8bit；模式 2,3 为 9bit），发送完成中断标志 TI 硬件置 1
2. 在 UART 接收完 1 组数据和 STOP 停止位后，接收完成中断标志 RI 硬件置 1

8.2 UART 寄存器

8.2.1 UT_CR (0x98)

表 8-1 UT_CR (0x98)

位	7	6	5	4	3	2	1	0
名称	MOD		SM2	REN	TB8	RB8	TI	RI
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:6]	MOD	模式控制 00 ：模式0，移位寄存器 此模式下波特率固定为2MHz $Baud\ rate=f_{cpu_clk}/12=24MHz/12=2MHz$ 01 ：模式1，8-bit UART 此模式下波特率根据以下公式： $Baud\ rate=f_{cpu_clk}/(16*(UT_BAUD+1))$

		10: 模式2, 9-bit UART 此模式下波特率固定为750KHz $Baud\ rate=f_{cpu_clk}/32=24MHz/32=750KHz$ 11: 模式3, 9-bit UART 此模式下波特率根据以下公式: $Baud\ rate=f_{cpu_clk}/(16*(UT_BAUD+1))$
[5]	SM2	0: 单机通讯模式, TxD发送完数据后输出高电平; 1: 多机通讯模式, TxD发送完数据后输出高阻;
[4]	REN	UART接收数据使能位 0: 禁止接收数据; 1: 允许接收数据;
[3]	TB8	设置在模式2与模式3下数据发送的第9位, 此位根据实际功能由硬件清0
[2]	RB8	设置在模式2与模式3下数据接收的第9位, 如果SM2为0, 这一位作为停止位, 在模式0下此位不使用。
[1]	TI	发送完成中断标志, 发送完毕后硬件将此位置1, 必须由软件清0
[0]	RI	接收完成中断标志, 接收完毕后硬件将此位置1, 必须由软件清0

8.2.2 UT_DR (0x99)

表 8-2 UT_DR (0x99)

位	7	6	5	4	3	2	1	0
名称	UT_DR							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	UT_DR	发送/接收数据

8.2.3 UT_BAUD (0x9A,0x9B)

表 8-3 UT_BAUDH (0x9B)

位	7	6	5	4	3	2	1	0
名称	RSV						UT_BAUDH	
类型	R	R	R	R	R	R	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 8-4 UT_BAUDL (0x9A)

位	7	6	5	4	3	2	1	0
名称	UT_BAUDL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	0	0	1	1	0	1	1

字段	名称	描述
----	----	----

[9:0]	UT_BAUD	模式 1,3 下的波特率设置
-------	---------	----------------

9 MDU

MDU 是一个乘法/除法协处理器，可以支持 32bit/32bit、16bit*16bit 两种操作，乘法为有符号乘法或者无符号乘法，除法为无符号除法。MDU 的模式由 MD_MODE 决定。

乘法模式：MD_MC3~0={MD_MAH、MD_MAL} * {MD_MBH、MD_MBL}

注意：MD_MC3~2 复用的是 MD_MAH 和 MD_MAL；MD_MC1~0 复用的是 MD_MBH 和 MD_MBL，故往 MD_MAH、MD_MAL、MD_MBH、MD_MBL 写的是被乘数，读的是乘的结果。

除法模式：MD_DC3~0, MD_DD3~0 = MD_DA3~0 / MD_DB3~0

商放在 MD_DC3~0，余数放在 MD_DD3~0。

注意：MD_DC3~2 复用的是 MD_DA3~0；MD_DD3~0 复用的是 MD_DB。故往 MD_DA3~0 写的是被除数，读的是商；故往 MD_DB3~0 写的是除数，读的是余数。

乘法执行时间为 1 个时钟周期，将数据装载好后下一条指令即可取走结果，结果根据 ALIGN (MD_MODE[3:2]) 决定是否右移。除法执行时间为 16 个时钟周期，将数据装载好后需置位 DIVSTART，16 个时钟周期后才能拿走结果。软件可通过查询 DIV_BUSY 来判断除法是否完毕。

9.1 乘法使用方法：

- 1) 根据乘法的符号情况设置 MDSN (MD_MODE.2)，无符号乘法设置为 0，有符号乘法设置为 1；同时设置结果右移位数 ALIGN；
- 2) 装载被乘数至 MD_MA，装载乘数至 MD_MB；
- 3) 从 MD_MA 读走结果的高 16 位，从 MD_MB 读走结果的低 16 位；
- 4) 如果不改变乘法的符号模式和右移情况，下一次乘法可从 2 开始。

9.2 除法使用方法：

- 1) 软件把要做除法运算的被除数写到 MD_DA，把除数写到 MD_DB；
- 2) 往 DIVSTART (MD_MODE.0) 写 1，启动 32 位除法；
- 3) 经过 16 个系统时钟后运算结束，这一步可通过查询 DIVDONE (MD_MODE.7) 完成，DIVDONE =1 表示除法结束，否则还需等待；
- 4) 运算结束后，从 MD_DA 读商，从 MD_DB 读余数。

9.3 注意事项

- 1) 如果做除法运算时除数 MD_DB 为 0，除法器将产生一个 DIV_ERR (MD_MODE.6) 标志，它将维持在高电平直到下一次做除法时除数不为 0；
- 2) 除法器在工作时 (DIVDONE=0)，商和余数结果都是不确定的 (仿真时的值为 8'hxx)，

只有在除法器空闲时读取的商和余数才是稳定正确的；

3) 除法器在工作时 (DIVDONE=0)，改变除数或被除数的值都不会影响最后的结果，除非再来一次 DIVSTART (往 MD_MODE.0 写 1)。

9.4 MDU 寄存器

9.4.1 MD_MODE (0xC1)

表 9-1 MDU 模式控制和状态指示位

位	7	6	5	4	3	2	1	0
名称	DIVDONE	DIVERR	RSV		ALIGN		MDSN	DIVSTART
类型	R	R	R	R	R/W	R/W	R/W	R/W
复位值	1	0	0	0	0	0	0	0

位	名称	描述功能描述
7	DIVDONE	0: 除法运算尚未完成 1: 除法运算已经完成
6	DIVERR	0: 最近一次除法正常 1: 最近一次除法错误, 除数为 0
5:4	RSV	保留位
3:2	ALIGN	乘法结果右移模式设置, 仅对乘法有效 0: 不右移 1: 右移 8bit 2: 右移 12bit 3: 右移 15bit
1	MDSN	乘法的符号模式 0: 无符号乘法 1: 有符号乘法
0	DIVSTART	除法启动位, 仅在除法模式下有效, 软件置 1, 硬件完成除法运算后自动清 0。 0: DIV 未开始 1: 启动 32 位除法

9.4.2 MD_MBL (0xCA)

表 9-2 乘法 B 操作数的 Bit[7:0](只写)或者乘法结果的 Bit[7:0](只读)

位	7	6	5	4	3	2	1	0
名称	MD_MBL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述功能描述
[7:0]	MD_MBL	乘法 B 操作数的 Bit[7:0](只写)或者乘法结果的 Bit[7:0](只读)

9.4.3 MD_MBH (0xCB)

表 9-3 乘法 B 操作数的 Bit[15: 8] (只写) 或者乘法结果的 Bit[15: 8] (只读)

位	7	6	5	4	3	2	1	0
名称	MD_MBH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述功能描述
[7:0]	MD_MBH	乘法 B 操作数的 Bit[15: 8] (只写) 或者乘法结果的 Bit[15: 8] (只读)

9.4.4 MD_MAL (0XC2)

表 9-4 乘法 A 操作数的 Bit[7: 0] (只写) 或者乘法结果的 Bit[23: 16] (只读)

位	7	6	5	4	3	2	1	0
名称	MD_MAL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述功能描述
[7:0]	MD_MAL	乘法 A 操作数的 Bit[7: 0] (只写) 或者乘法结果的 Bit[23: 16] (只读)

9.4.5 MD_MAH (0xC3)

表 9-5 乘法 A 操作数的 Bit[15: 8] (只写) 或者乘法结果的 Bit[31: 24] (只读)

位	7	6	5	4	3	2	1	0
名称	MD_MAH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述功能描述
[7:0]	MD_MAH	乘法 A 操作数的 Bit[15: 8] (只写) 或者乘法结果的 Bit[31: 24] (只读)

9.4.6 MD_DA0 (0xC4)

表 9-6 除法 A 操作数的 Bit[7:0] (只写) 或者商的 Bit[7: 0] (只读)

位	7	6	5	4	3	2	1	0
名称	MD_DA0							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述功能描述
[7:0]	MD_DA0	除法 A 操作数的 Bit[7:0] (只写) 或者商的 Bit[7: 0] (只读)

9.4.7 MD_DA1 (0xC5)

表 9-7 除法 A 操作数的 Bit[15: 8] (只写) 或者商的 Bit[15: 8] (只读)

位	7	6	5	4	3	2	1	0
名称	MD_DA1							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述功能描述
[7:0]	MD_DA1	除法 A 操作数的 Bit[15: 8] (只写) 或者商的 Bit[15: 8] (只读)

9.4.8 MD_DA2 (0xC6)

表 9-8 除法 A 操作数的 Bit[23: 16] (只写) 或者商的 Bit[23:16] (只读)

位	7	6	5	4	3	2	1	0
名称	MD_DA2							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述功能描述
[7:0]	MD_DA2	除法 A 操作数的 Bit[23: 16] (只写) 或者商的 Bit[23:16] (只读)

9.4.9 MD_DA3 (0xC7)

表 9-9 除法 A 操作数的 Bit[31: 24] (只写) 或者商的 Bit[31: 24] (只读)

位	7	6	5	4	3	2	1	0
名称	MD_DA3							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述功能描述
[7:0]	MD_DA3	除法 A 操作数的 Bit[31: 24] (只写) 或者商的 Bit[31: 24] (只读)

9.4.10 MD_DB0 (0xCC)

表 9-10 除法 B 操作数的 Bit[7: 0] (只写) 或者余数的 Bit[7: 0] (只读)

位	7	6	5	4	3	2	1	0
名称	MD_DB0							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述功能描述
[7:0]	MD_DB0	除法 B 操作数的 Bit[7: 0] (只写) 或者余数的 Bit[7: 0] (只读)

9.4.11 MD_DB1 (0xCD)

表 9-11 除法 B 操作数的 Bit[15: 8] (只写) 或者余数的 Bit[15: 8] (只读)

位	7	6	5	4	3	2	1	0
名称	MD_DB1							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述功能描述
[7:0]	MD_DB1	除法 B 操作数的 Bit[15: 8] (只写) 或者余数的 Bit[15: 8] (只读)

9.4.12 MD_DB2 (0xCE)

表 9-12 除法 B 操作数的 Bit[23: 16] (只写) 或者余数的 Bit[23: 16] (只读)

位	7	6	5	4	3	2	1	0
名称	MD_DB2							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述功能描述
[7:0]	MD_DB2	除法 B 操作数的 Bit[23: 16] (只写) 或者余数的 Bit[23: 16] (只读)

9.4.13 MD_DB3 (0xCF)

表 9-13 除法 B 操作数的 Bit[31: 24] (只写) 或者余数的 Bit[31: 24] (只读)

位	7	6	5	4	3	2	1	0
名称	MD_DB3							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名称	描述功能描述
[7:0]	MD_DB3	除法 B 操作数的 Bit[31: 24] (只写) 或者余数的 Bit[31: 24] (只读)

10 PI

10.1 PI 操作说明

1、PI 公式:

$$U(k) = U(k-1) + Kp*(E(k) - E(k-1)) + Ki*E(k) \text{ ---- } (Uk_min < U(k) < Uk_max)$$

2、配置 PL_CR 寄存器的 PISTA=1, PI 启动, 4 个 cycle 后计算完成, PI_UK 数据更新。

3、PI 的输出结果可以截位 8~23 位, 默认截 12 位, 即 PI 的数据公式为 Q12 格式。

4、U(k-1)和 E(k-1)默认为上一次的 U(k)和 E(k), 如果需要改变 E(k-1)的值, 将值写进 PI_EK

寄存器，同时需要启动 PI；如果需要改变 U(k-1)的值，将值写进 PI_UK 寄存器。

MCU 只有一个 PI 模块，如果要同时多出地方使用 PI 调节，注意 PI 运算使用完后保存参数，以备下一次使用时正确初始化参数。在第一次使用 PI 运算时 PI 内部参数是保存上一次使用的运算结果，因此要进行正确的初始化操作：

```

PI_EK = X;                //初始化 E(k-1)
SetBit(PL_CR,PISTA,1);   //启动 PI
_nop_();
_nop_();
_nop_();
_nop_();                //等待 PI 运算完成
PI_UK = X;                //初始化 U(k-1)
    
```

10.2 PI 寄存器

10.2.1 PL_CR (0xF9)

表 10-1 PL_CR (0xF9)

位	7	6	5	4	3	2	1	0
名称	PIRANGE				RSV		PISTA	LPFSTA
类型	R/W	R/W	R/W	R/W	R	R	R/W	R/W
复位值	0	1	0	0	0	0	0	0

字段	名称	描述
[7:4]	PIRANGE	PI 结果截位，默认截 12 位（此时可认为输入 KP, KI 为 Q12 格式）
		PIRANGE 截位 PIRANGE 截位
		0000 8 1000 16
		0001 9 1001 17
		0010 10 1010 18
		0011 11 1011 19
		0100 12 1100 20
		0101 13 1101 21
		0110 14 1110 22
0111 15 1111 23		
[3:2]	RSV	保留位
[1]	PISTA	PI 启动，软件写一，下一时刻硬件自清零 0: 不启动 1: 启动
[0]	LPFSTA	LPF 启动，软件写一，下一时刻硬件自清零 0: 不启动 1: 启动

10.2.2 PI_EK (0xEA , 0xEB)

表 10-2 PI_EKH (0xEB)

位	7	6	5	4	3	2	1	0
名称	PI_EK[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 10-3 PI_EKL (0xEA)

位	7	6	5	4	3	2	1	0
名称	PI_EK[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	PI_EK	输入误差 取值范围 (-32768,32767)

10.2.3 PI_UK (0xEC , 0xED)

表 10-4 PI_UKH (0xED)

位	7	6	5	4	3	2	1	0
名称	PI_UK[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 10-5 PI_UKL (0xEC)

位	7	6	5	4	3	2	1	0
名称	PI_UK[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	PI_UK	输出电压 取值范围 (-32768,32767)

10.2.4 PI_KP (0xEE , 0xEF)

表 10-6 PI_KPH (0xEF)

位	7	6	5	4	3	2	1	0
名称	PI_KP[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 10-7 PI_KPL (0xEE)

位	7	6	5	4	3	2	1	0
名称	PI_KP[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	PI_KP	KP 系数 取值范围 (-32768,32767)

10.2.5 PI_KI (0xF2, 0xF3)

表 10-8 PI_KIH (0xF3)

位	7	6	5	4	3	2	1	0
名称	PI_KI[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 10-9 PI_KIL (0xF2)

位	7	6	5	4	3	2	1	0
名称	PI_KI[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	PI_KI	KI 系数 取值范围 (-32768,32767)

10.2.6 PI_UKMAX (0xF4, 0xF5)

表 10-10 PI_UKMAXH (0xF5)

位	7	6	5	4	3	2	1	0
名称	PI_UKMAX[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 10-11 PI_UKMAXL (0xF4)

位	7	6	5	4	3	2	1	0
名称	PI_UKMAX[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
字段	名称		描述					
[15:0]	PI_UKMAX		UK 的最大限幅值 取值范围 (-32768,32767)					

10.2.7 PI_UKMIN (0xF6 , 0xF7)

表 10-12 PI_UKMINH (0xF7)

位	7	6	5	4	3	2	1	0
名称	PI_UKMIN[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 10-13 PI_UKMINL (0xF6)

位	7	6	5	4	3	2	1	0
名称	PI_UKMIN[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	PI_UKMIN	UK 的最小限幅值 取值范围 (-32768,32767)

11 LPF

11.1 LPF 操作说明

1. LPF 公式:

$$Y(k) = Y(k-1) + LPF_K * (X(k) - Y(k-1))$$

2、配置 PL_CR 寄存器的 LPFSTA=1, PI 启动, 4 个 cycle 后计算完成, LPF_Y 数据更新。

3、Y(k-1)默认为上一次的 Y(k), 如果需要改变 Y(k-1)的值, 将值写进 LPF_Y 寄存器。

11.2 LPF 寄存器

11.2.1 PL_CR (0xF9)

表 11-1 PL_CR (0xF9)

位	7	6	5	4	3	2	1	0
名称	PIRANGE				RSV		PISTA	LPFSTA
类型	R/W	R/W	R/W	R/W	R	R	R/W	R/W
复位值	0	1	0	0	0	0	0	0

字段	名称	描述
[7:1]		[7:1]请参考表 10-1
[0]	LPFSTA	LPF 启动, 软件写一, 下一时刻硬件自清零 0: 不启动

		1: 启动
--	--	-------

11.2.2 LPF_K (0xDC , 0xDD)

表 11-2 LPF_KH (0xDD)

位	7	6	5	4	3	2	1	0
名称	LPF_K[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 11-3 LPF_KL (0xDC)

位	7	6	5	4	3	2	1	0
名称	LPF_K[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	LPF_K	低通滤波系数 取值范围 (-32768,32767)

11.2.3 LPF_X (0XDE , 0XDF)

表 11-4 LPF_XH (0XDF)

位	7	6	5	4	3	2	1	0
名称	LPF_X[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 11-5 LPF_XL (0XDE)

位	7	6	5	4	3	2	1	0
名称	LPF_X[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	LPF_X	输入值 取值范围 (-32768,32767)

11.2.4 LPF_Y (0XE6 , 0XE7)

表 11-6 LPF_YH (0XE7)

位	7	6	5	4	3	2	1	0
名称	LPF_Y[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

复位值	0	0	0	0	0	0	0	0
-----	---	---	---	---	---	---	---	---

表 11-7 LPF_YL (0xE6)

位	7	6	5	4	3	2	1	0
名称	LPF_Y[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	LPF_Y	输出值 取值范围 (-32768,32767)

12 SVPWM/SPWM/SIN_COS

12.1 SVPWM 操作说明

1、SVPWM 模块是应用于 HALL 的 SVPWM 控制模式，通过给定电压 SV_US、角度 SV_ANG 和计数器重载值 SV_ARR，同时配置 SV_CR 寄存器的 SV5SEG 选择五段式还是七段式，启动 SVPWM 模块，算出 U,V,W 三相信的电压比较值，同时将值自动分别存进 TIMER0 的 CCR1, CCR2, CCR3 寄存器，然后通过配置 TIMER0 输出三路 PWM；因此，SVPWM 模块需要配合 TIMER0 使用。

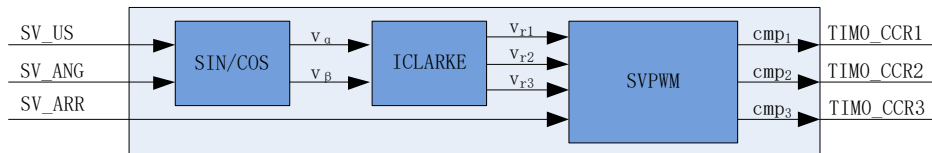


图 12-1 SVPWM 原理框图

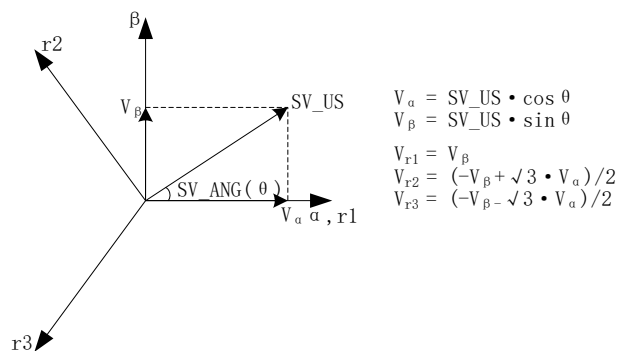


图 12-2 电压坐标变换

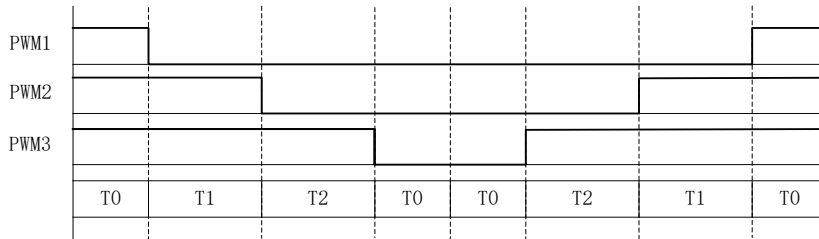


图 12-3 七段式 SVPWM 输出电平

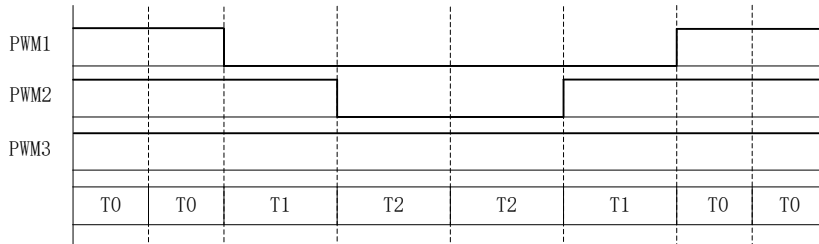


图 12-4 五段式 SVPWM 输出电平

2、配置 SV_CR 寄存器的 SPWMEN=0, SVPWMEN=1, SVSTA=1, SVPWM 启动, SVBUSY 置一, 10 个 cycle 后运算完成, SVBUSY 清零, TIMER0 的 CCR1, CCR2, CCR3 更新, 同时将 V_α 的值存进 COS_THETA, V_β 的值存进 SIN_THETA。

12.2 SPWM 操作说明

1、SPWM 模块是主要应用于单相感应电机, 通过给定电压 SV_US、角度 SV_ANG 和计数器重载值 SV_ARR, 同时配置 SV_CR 寄存器的 SPWMSEL 选择单极性还是双极性, 启动 SPWM 模块, 算出 $V_\beta = SV_US * \sin\theta$, 通过 $SV_ARR * V_\beta$ 得到电压比较值, 同时将值自动存进 TIMER0 的 CCR1, CCR2, CCR3 寄存器, 然后通过配置 TIMER0 输出三路 PWM; 因此, SPWM 模块需要配合 TIMER0 使用。

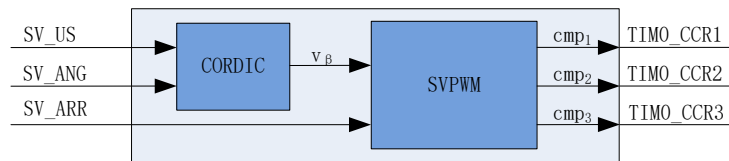


图 12-5 SPWM 原理框图

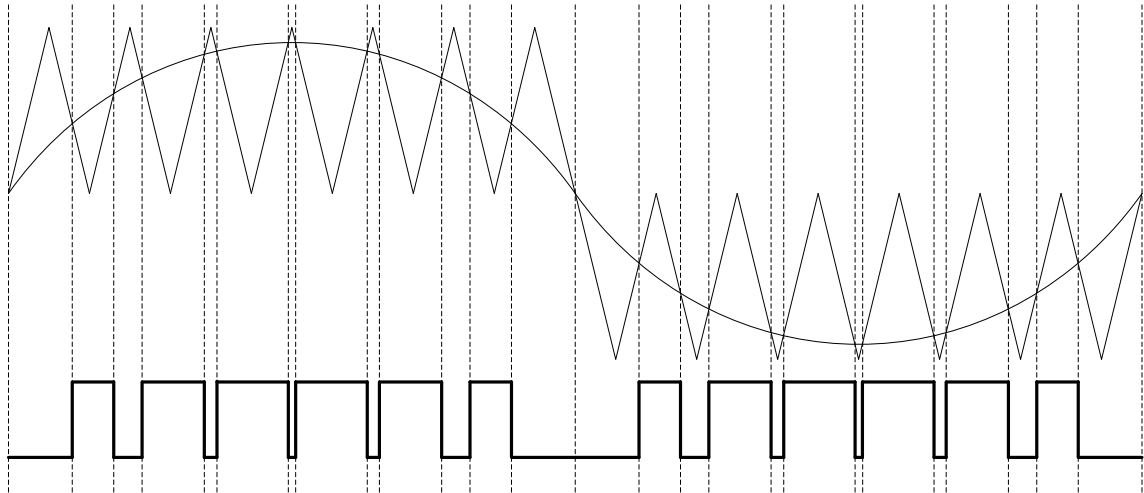


图 12-6 单极性 SPWM

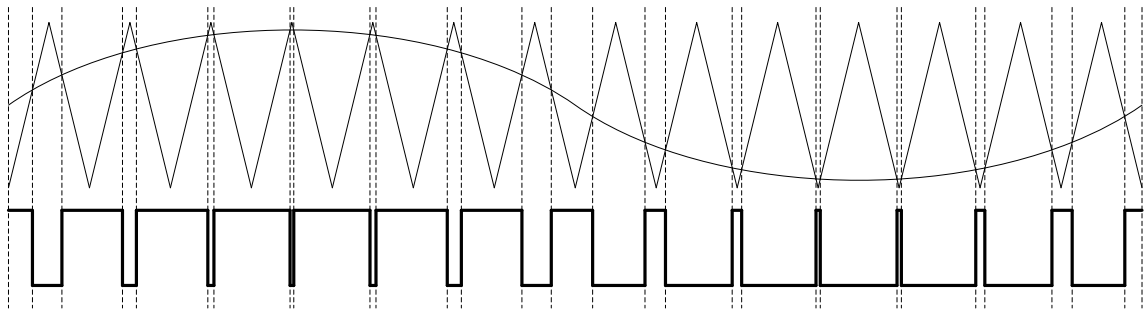


图 12-7 双极性 SPWM

2、配置 SV_CR 寄存器的 SPWMEN=1, SVPWMEN=0 或者 1, SVSTA=1, SPWM 启动, SVBUSY 置一, 10 个 cycle 后运算完成, SVBUSY 清零, TIMER0 的 CCR1, CCR2, CCR3 更新, 同时将 V_α 的值存进 COS_THETA, V_β 的值存进 SIN_THETA。

12.3 SIN_COS 操作说明

1、SIN_COS 模块是通过给定电压 SV_US、角度 SV_ANG 算出 V_α 和 V_β 的值。将 SV_US 设置为 32760, 算出的 V_α 和 V_β 的值可认为是 $\cos\theta$ 和 $\sin\theta$ 的值 (Q15 格式)。

2、配置 SV_CR 寄存器的 SPWMEN=1, SVPWMEN=0, SVSTA=1, SPWM 启动, SVBUSY 置一, 10 个 cycle 后运算完成, SVBUSY 清零, 将 V_α 的值存进 COS_THETA, V_β 的值存进 SIN_THETA。

12.4 SVPWM/SWPM/SIN_COS 寄存器

12.4.1 SV_CR (0xE1)

表 12-1 SV_CR (0xE1)

位	7	6	5	4	3	2	1	0
名称	SVBUSY	RSV		SPWMSEL	SPWMEN	SV5SEG	SVPWMEN	SVSTA
类型	R/W	R	R	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	SVBUSY	SVPWM/SPWM/SIN_COS 忙，运算尚未完成，此时结果不能读取 0: 运算完成 1: 运算尚未完成
[6:5]	RSV	保留位
[4]	SPWMSEL	SPWM 极性选择 0: 单极性 1: 双极性
[3]	SPWMEN	SPWM 功能使能 SPWMEN 与 SVPWMEN 共同决定了 SVPWM/SPWM/SIN_COS 功能 SPWMEN/SVPWMEN = 00: SIN_COS SPWMEN/SVPWMEN = 01: SVPWM SPWMEN/SVPWMEN = 10: SPWM SPWMEN/SVPWMEN = 11: SPWM
[2]	SV5SEG	SVPWM 调制方式选择 0: 7 段式选择 1: 5 段式选择
[1]	SVPWMEN	SVPWM 功能使能 SPWMEN 与 SVPWMEN 共同决定了 SVPWM/SPWM/SIN_COS 功能 SPWMEN/SVPWMEN = 00: SIN_COS SPWMEN/SVPWMEN = 01: SVPWM SPWMEN/SVPWMEN = 10: SPWM SPWMEN/SVPWMEN = 11: SPWM
[0]	SVSTA	SVPWM/SPWM/SIN_COS 启动，软件写一，下一时刻硬件自清零 0: 不启动 1: 启动

12.4.2 SV_US (0xE2 , 0xE3)

表 12-2SV_USH (0xE3)

位	7	6	5	4	3	2	1	0
名称	SV_US[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 12-3 SV_USL (0xE2)

位	7	6	5	4	3	2	1	0
名称	SV_US[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	SV_US	输入电压, 范围为 0~32760, 输入大于 32760 硬件自动限制为 32760 SPWM 模式下调制比 $M=(SV_US+1)/32768*100\%$

12.4.3 SV_ANG (0xE4 , 0xE5)

表 12-4SV_ANGH (0xE5)

位	7	6	5	4	3	2	1	0
名称	SV_ANG[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 12-5 SV_ANGL (0xE4)

位	7	6	5	4	3	2	1	0
名称	SV_ANG[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述	R/W	复位值
[15:0]	SV_ANG	SVPWM 输入角度 范围为 0~32767 $Angle= SV_ANGLE/32768*360^\circ$	RW	0x0

12.4.4 SV_ARR (0x4060 , 0x4061)

表 12-6SV_ARRH (0x4060)

位	7	6	5	4	3	2	1	0
名称	SV_ARR[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 12-7 SV_ARRL (0x4061)

位	7	6	5	4	3	2	1	0
名称	SV_ARR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	SV_ARR	计数器重载值 SV_ARR, 和 TIM0_ARR 共用

12.4.5 SIN_THETA (0x407C , 0x407D)

表 12-8 SIN_THETAH (0x407C)

位	7	6	5	4	3	2	1	0
名称	SIN_THETA[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 12-9 SIN_THETAL (0x407D)

位	7	6	5	4	3	2	1	0
名称	SIN_THETA [7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	SIN_THETA	根据幅值 SV_US, 角度 SV_ANG 算出的 sin

12.4.6 COS_THETA (0x407E , 0x407F)

表 12-10 COS_THETAH (0x407E)

位	7	6	5	4	3	2	1	0
名称	COS_THETA[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 12-11 COS_THETAL (0x407F)

位	7	6	5	4	3	2	1	0
名称	COS_THETA [7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	COS_THETA	根据幅值 SV_US, 角度 SV_ANG 算出的 cos

13 FOC

13.1 FOC 操作说明

13.1.1 简介

FOC 作为一个独立的模块,在不工作的时候时钟停止。FOC_SET0 寄存器的 FOCEN 作为 FOC 模块的使能位,在操作 FOC 模块之前,必须将该位置一,否则 FOC 模块无法工作,FOC 相关寄存器处于复位状态,同时也无法写。

FOC 模块包含角度模块,PI 控制器,坐标转换模块,输出模块;可以采用内部角度估算模块实现无 HALL FOC 控制;也可以联合 MCU 处理 HALL 信号实现有 HALL FOC 控制。FOC 模块内部包含电流闭环,用户通过给定 ID,IQ 的参考值,就可以输出六路 PWM 驱动电机,同时 ADC 自动采集电流作电流闭环。

A) 无 HALL FOC 控制:采用角度估算模块估算角度用作坐标变换,同时输出角速度供 MCU 做速度闭环,反电动势做启动检测;

B) 有 HALL FOC 控制(单 HALL/双 HALL/三 HALL):FOC 模块提供角度输入接口,MCU 采集 HALL 信号进行处理,得到角度,将角度值给到 FOC 模块即可。

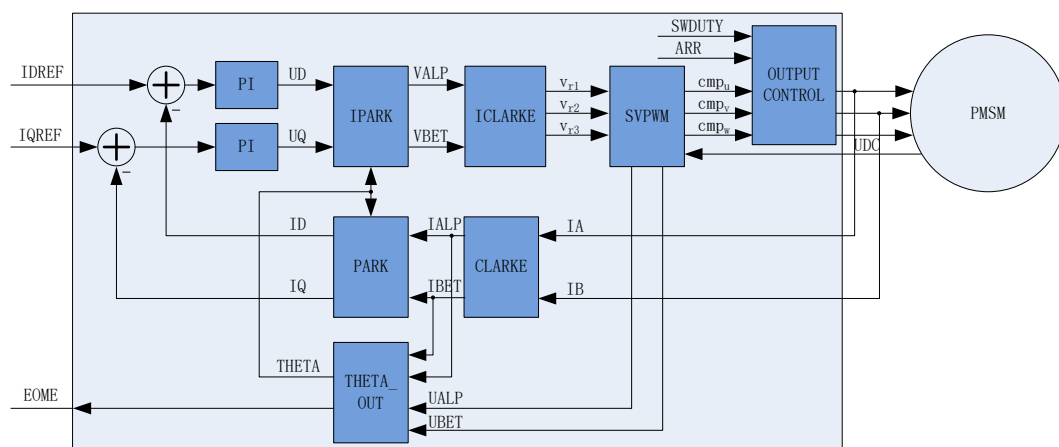


图 13-1 FOC 原理框图

13.1.2 参考输入

FOC 模块根据电流反馈作闭环控制,因此采用 D 轴电流(IDREF)和 Q 轴电流(IQREF)作为参考输入。假如需要实现速度-电流双闭环控制,需要根据 FOC 模块输出的速度 EOME 利用 MCU 或者 PI 模块对速度信号进行处理实现速度外环控制。

13.1.3 PI 控制器

FOC 模块里使用 3 个 PI 控制器，分别应用于：

1、 转子磁通控制：D 轴的 PI 控制器，参考电流 IDREF 减去反馈电流 ID 作为偏差输入，比例系数 DKP 和积分系数 DKI 调节 PI 控制器性能，DMAX 和 DMIN 对输出进行限幅，最后输出 D 轴电压 UD。

2、 转子转矩控制：Q 轴的 PI 控制器，参考电流 IQREF 减去反馈电流 IQ 作为偏差输入，比例系数 QKP 和积分系数 QKI 调节 PI 控制器性能，QMAX 和 QMIN 对输出进行限幅，最后输出 Q 轴电压 UQ。

3、 角度估算：估算器的 PI 控制器，比例系数 EKP 和积分系数 EKI 调节 PI 控制器性能，最终输出估算角度 ETHETA。

FOC_PIRAN 寄存器的 DQPIRAN 同时设置 D 轴和 Q 轴的 PI 控制器的结果截位，EPIRAN 单独设置估算器的 PI 控制器的结果截位。此功能相当于设置 PI 控制器的数据格式，默认截位 12 位，即数据格式为 Q12 格式。若设置截位 15 位，即数据格式为 Q15 格式，如此类推。

13.1.4 坐标转换

13.1.4.1 PARK 逆变换

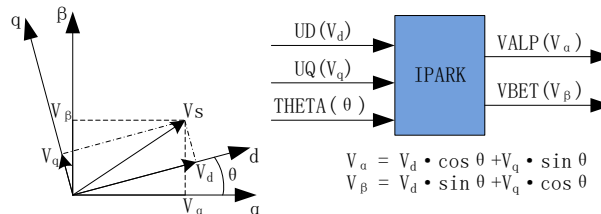


图 13-2 PARK 逆变换

经过 D 轴和 Q 轴的 PI 控制器后，可获得旋转 d-q 坐标系的电压矢量的两个分量 UD 和 UQ。这时需要经过逆变换将其重新变换到 3 相电机电压。首先，使用 PARK 逆变换将电压矢量从 2 轴旋转 d-q 坐标系变换到 2 轴静止 α - β 坐标系。

13.1.4.2 CLARKE 逆变换

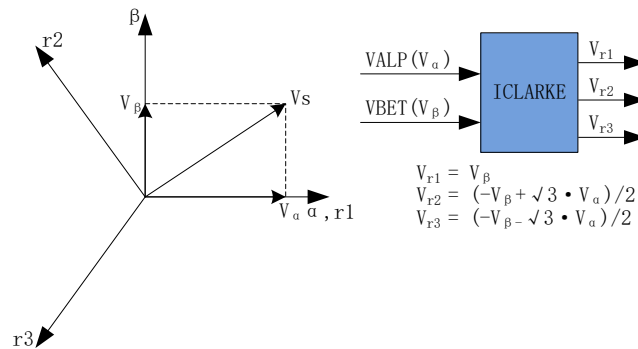


图 13-3 CLARKE 逆变换

通过 CLARKE 逆变换将电压矢量从静止 2 轴 α - β 坐标系变换到静止 3 轴 3 相定子参考坐标系。

13.1.4.3 CLARKE 变换

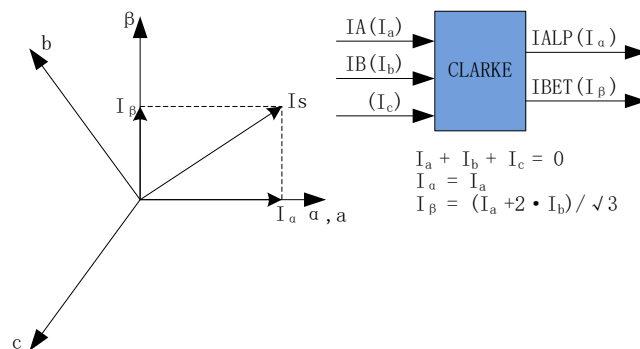


图 13-4 CLARKE 变换

CLARKE 变换将电流从一个 3 轴 2 维的定子坐标系变换到 2 轴 α - β 的定子坐标系。

13.1.4.4 PARK 变换

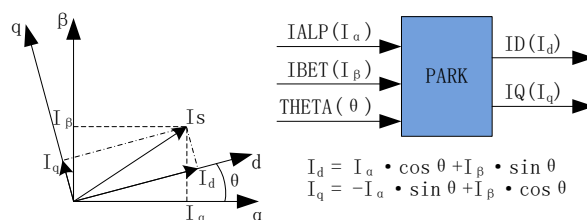


图 13-5 PARK 变换

PARK 变换将电流从 2 轴 α - β 的定子坐标系变换到随着转子磁通旋转的 2 轴 d - q 坐标系。

13.1.5 SVPWM

空间矢量脉宽调制(SVPWM)算法是 FOC 控制的一个重要组成部分，其主要思路是采用逆变器空间电压矢量的切换以获得准圆形旋转磁场，能明显减少逆变器输出电流的谐波分量及电机的谐波损耗，降低转矩脉动，而且有较高的利用率。

SVPWM 产生 3 相电机电压信号的脉宽调制信号，每相脉宽的产生过程都可简化为几个一次方程。三相逆变器的每相输出都可为两种状态之一，即逆变器输出可连接到正极性 (+) 母线端或负极性 (-) 母线端，这使得三相逆变器输出共存在 $2^3 = 8$ 种可能的状态。其中三相输出全部连接到正极性 (+) 母线端或负极性 (-) 母线端的两种状态被视为无效状态，因为此时任意两相之间都不存在线电压。这两种状态在 SVPWM 星型图中被绘制为原点。其余六种状态表示为每两个相邻状态间旋转间隔为 60 度的矢量。

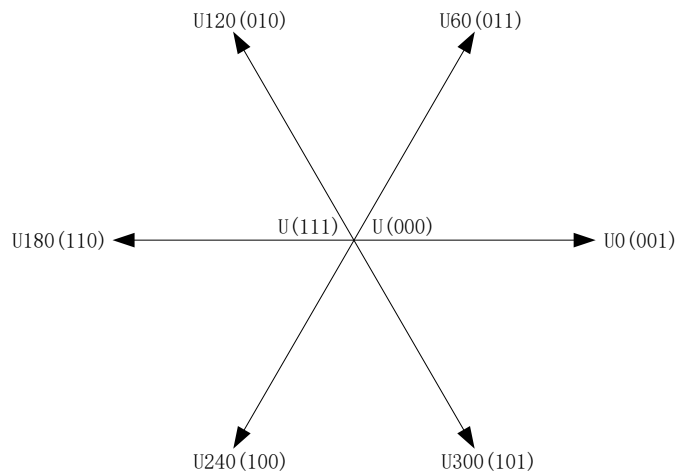


图 13-6 SVPWM 矢量控制

SVPWM 的过程允许通过两个相邻矢量各分量的和来表示任何空间电压矢量。假设 U_{OUT} 是期望的空间电压矢量，该矢量位于 U_{60} 和 U_0 之间的区间内。如果在给定 PWM 周期 T 期间， U_0 的输出时间为 $2T_1/T$ ，而 U_{60} 的输出时间为 $2T_2/T$ ，则整个周期的平均电压值为 U_{OUT} ， T_0 表示绕组上无有效电压的时间，即施加了无效矢量。

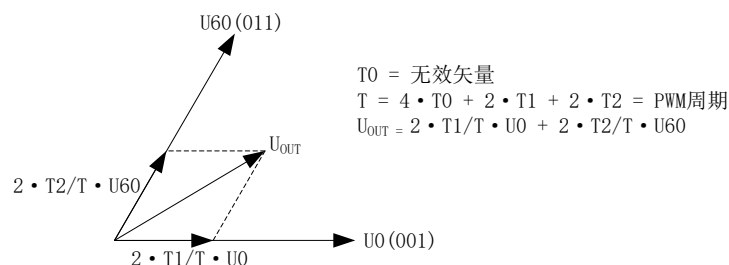


图 13-7 SVPWM 电压合成

表空间矢量调制逆变器状态

C 相	B 相	A 相	V_{ab}	V_{bc}	V_{ca}	V_{ds}	V_{qs}	矢量
0	0	0	0	0	0	0	0	U(000)
0	0	1	V_{DC}	0	$-V_{DC}$	$2/3V_{DC}$	0	U0
0	1	1	0	V_{DC}	$-V_{DC}$	$1/3V_{DC}$	$1/3V_{DC}$	U60
0	1	0	$-V_{DC}$	V_{DC}	0	$-1/3V_{DC}$	$1/3V_{DC}$	U120
1	1	0	$-V_{DC}$	0	V_{DC}	$-2/3V_{DC}$	0	U180
1	0	0	0	$-V_{DC}$	V_{DC}	$-1/3V_{DC}$	$-1/3V_{DC}$	U240
1	0	1	V_{DC}	$-V_{DC}$	0	$1/3V_{DC}$	$-1/3V_{DC}$	U300
1	1	1	0	0	0	0	0	U(111)

13.1.5.1 七段式 SVPWM

在单电阻电流采样模式下，FOC 算法固定使用七段式 SVPWM 输出方式。双电阻电流采样模式下，配置 FOC_CR2 寄存器的 F5SEG=0，则选择七段式 SVPWM 输出方式。

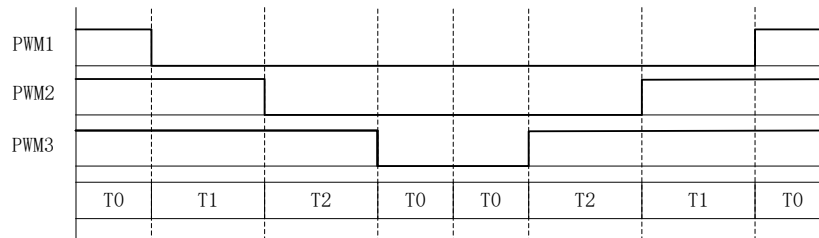


图 13-8 七段式 SVPWM 输出电平

13.1.5.2 五段式 SVPWM

五段式 SVPWM 输出方式只能在双电阻电流采样模式下使用，需要配置 FOC_CR2 寄存器的 F5SEG=1。

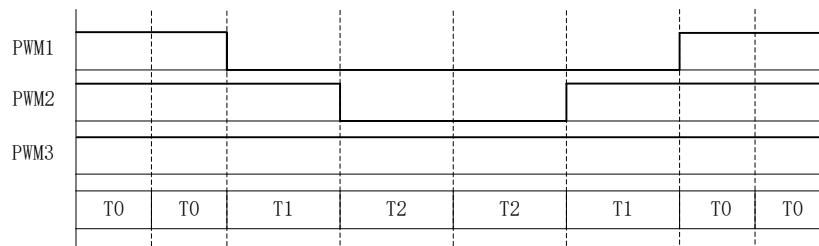


图 13-9 五段式 SVPWM 输出电平

13.1.6 电流电压采样

FOC 模块需要采集电机的母线电压和三相电流的其中两相，另外一相可以通过运算得出。当 FOC 模块工作之前，需要使能 ADC（配置 ADC_STA 寄存器的 ADCEN=1）和运放，并配置相关设置寄存器，但是不需要配置 ADC 通道和扫描方式。根据 FOC_CR1 寄存器的 CSM 可以选择单电阻

电流采样或者双电阻电流采样。在单电阻电流采样模式下默认通道 4 为母线电流 *itrip* 的采样通道；在双电阻电流采样模式下默认通道 0 为 *ia* 的采样通道，通道 1 为 *ib* 的采样通道。配置 FOC_CHC 寄存器的 UCH 可以选择通道作为母线电压的采样通道，但默认通道为通道 2。

13.1.6.1 单电阻采样模式

配置 FOC_CR1 寄存器的 CSM=0，即选择单电阻电流采样模式。在单电阻电流采样模式下，FOC 模块在计数器向上计数的区间对母线电流 *itrip*（通道 4）进行两次采样，在计数器向下计数的区间当 FOC 模块运算完成后对母线电压进行采样。

死区时间会影响电流采样的时间，FOC 模块会自动根据用户设置的死区时间对采样时间进行调整，保证在实际通电时间 T1',T2'的中间采样，同时，用户可以设置 TRG_DLY 寄存器对采样时间进行提前或者延迟。假设 MCU 时钟为 24MHz(41.67ns)，TRGDLY = 5，则延迟 41.67*5=208ns；TRGDLY 为-5，则提前 208ns。

单电阻采样会存在采样窗口不够宽的情况，因此需要人为地凑出最小采样窗口，用户通过设置 TS（TS=最小窗口时间+死区时间），FOC 模块根据 TS 对 PWM 波形进行调整。

13.1.6.2 双电阻采样模式

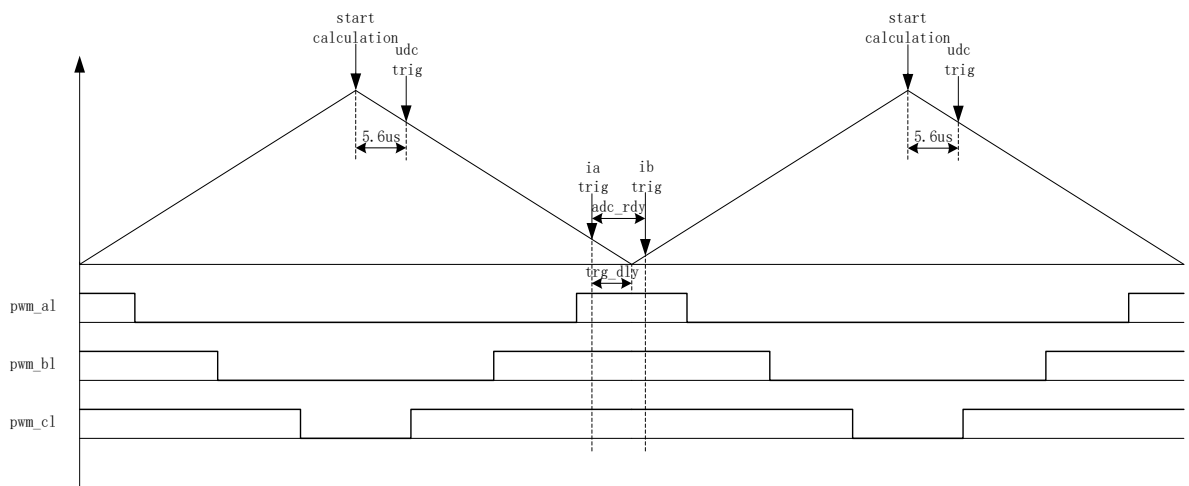


图 13-10 双电阻电流顺序采样模式

配置 FOC_CR1 寄存器的 CSM=1 和 FOC_CR2 寄存器的 DSS=0，即选择双电阻电流顺序采样模式。在双电阻电流顺序采样模式下，通过 TRG_DLY 寄存器设置对电流 *ia*（通道 0）的采样时机，当 *ia* 采样完毕后迅速对 *ib*（通道 1）进行采样，在计数器向下计数的区间当 FOC 模块运算完成后对母线电压进行采样。需要注意的是电流采样时机的设置应该使 *ia* 和 *ib* 采样点均在零矢量区间（即 *pwm_al*,*pwm_bl*,*pwm_cl*=111）。假设 MCU 时钟为 24MHz(41.67ns)，TRGDLY = 0x8032，则当 FOC 计数器向下计数，在下溢事件前 41.67*50=2.08us 对 *ia* 采样，*ia* 采样完毕后对 *ib* 采样。

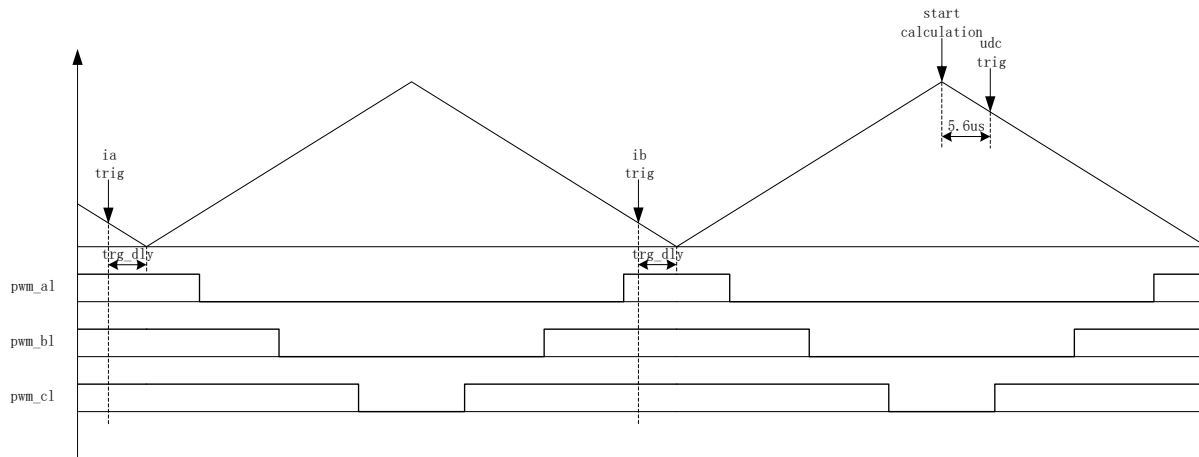


图 13-11 双电阻电流交替采样模式

配置 FOC_CR1 寄存器的 CSM=1 和 FOC_CR2 寄存器的 DSS=1, 即选择双电阻电流交替采样模式。在双电阻电流交替采样模式下, 两个载波周期为一次运算周期, 每个载波周期只对一相电流进行采样, 第一个载波周期采集 ia, 第二个载波周期采集 ib, 如此交替对 ia, ib 进行电流采集, 采集 ib 后在下次计数器的上溢点开始 FOC 模块运算, 当 FOC 模块运算完成后对母线电压进行采样。通过 TRG_DLY 寄存器设置对电流 ia (通道 0), ib (通道 1) 的采样时机, 需要注意的是电流采样时机的设置应该使 ia 和 ib 采样点均在零矢量区间 (即 pwm_al, pwm_bl, pwm_cl=111)。假设 MCU 时钟为 24MHz(41.67ns), TRGDLY = 0x8032, 则当 FOC 计数器向下计数, 在下溢事件前 $41.67 \times 50 = 2.08\mu\text{s}$ 对电流采样。

13.1.6.3 电流采样基准

因为相电流存在正负, 所以 ADC 采样前需要将输入电流提高量程的一半, 因此在运算的时候需要减去基准值, FOC 模块默认是 0x4000, 但是因为 ADC 基准的偏差和硬件板的偏差会导致默认值与实际值存在偏差, 因此用户可以对基准值进行校准。校准方法如下: 在 FOC 模块不工作, 三相输出尚没有电流的时候对相应的通道进行多次采样, 求平均后写进基准寄存器 FOC_CSO。假设 ADC 的电压范围 0~5V, 基准为 2.5V, 则 $\text{FOC_CSO} = 2.5/5V \times 32768 = 16384(0x4000)$ 。

- 1、当 FOC_CHC[CSOC]=00/11 时, 写 FOC_CSO 是修改 ITRIP 的基准;
- 2、当 FOC_CHC[CSOC]=01 时, 写 FOC_CSO 是修改 IA 的基准;
- 3、当 FOC_CHC[CSOC]=10 时, 写 FOC_CSO 是修改 IB 的基准。

13.1.7 角度模式

角度模块包含角度估算模块, 爬坡模块, 估算角度平滑切换模块。角度的来源分四种情况:

- 1、爬坡强制角度
- 2、强拉角度
- 3、估算器估算角度

4、 估算器强制角度

表 13-1 角度来源

RFAE	ANGM	EFAE	角度来源
1	x	x	爬坡强制角度
0	0	x	强拉角度
0	1	0	估算器估算角度
0	1	1	估算速度 > EFREQMIN: 估算器估算角度 估算速度 < EFREQMIN: 估算器强制角度

13.1.7.1 爬坡强制角度

爬坡强制角度由角度 THETA，速度 RTHESTEP，加速度 RTHEACC，爬坡计数器 RTHECNT 组成。爬坡公式为：

速度 RTHESTEP(32bit) = 速度 RTHESTEP(32bit) + 加速度 RTHEACC(32bit,高 16bit 恒为 0,低 16bit 可配);

角度 THETA(16bit) = 角度 THETA(16bit) + 速度 RTHESTEP(高 16bit)

爬坡强制角度的优先级最高，配置 FOC_CR1 寄存器的 RFAE = 1，使能爬坡功能。爬坡模块每个运算周期进行一次爬坡运算，爬坡计数器加一，当计数值达到 RTHECNT，RFAE 硬件清零，爬坡结束。爬坡结束后，根据 FOC_CR1 寄存器的 ANGM 的配置，ANGM=1，角度来自估算器；ANGM=0，角度来自强拉角度。

13.1.7.2 强拉角度

强拉角度由角度 THETA，速度 RTHESTEP 组成。公式为：

角度 THETA(16bit) = 角度 THETA(16bit) + 速度 RTHESTEP(高 16bit)

强拉角度分两种情况：

1、 FOC_CR1 寄存器的 RFAE = 1，FOC_CR1 寄存器的 ANGM = 0，即爬坡功能后切换强拉模式，此时的速度 RTHESTEP 为爬坡结束当时的累加的速度。此模式可实现无角度反馈匀速强拉功能。

2、 FOC_CR1 寄存器的 RFAE = 0,FOC_CR1 寄存器的 ANGM = 0,即不经过爬坡模块，角度直接来自强拉角度，此时的速度 RTHESTEP 为软件写寄存器的初始速度。当速度 RTHESTEP = 0，可实现预定位功能；当速度 RTHESTEP != 0，可实现 HALL FOC 控制（HALL FOC 控制原理： HALL 信号到来， MCU 算出当前角度和速度，写进 THETA 和 RTHESTEP 来进行修正）。

13.1.7.3 估算器角度

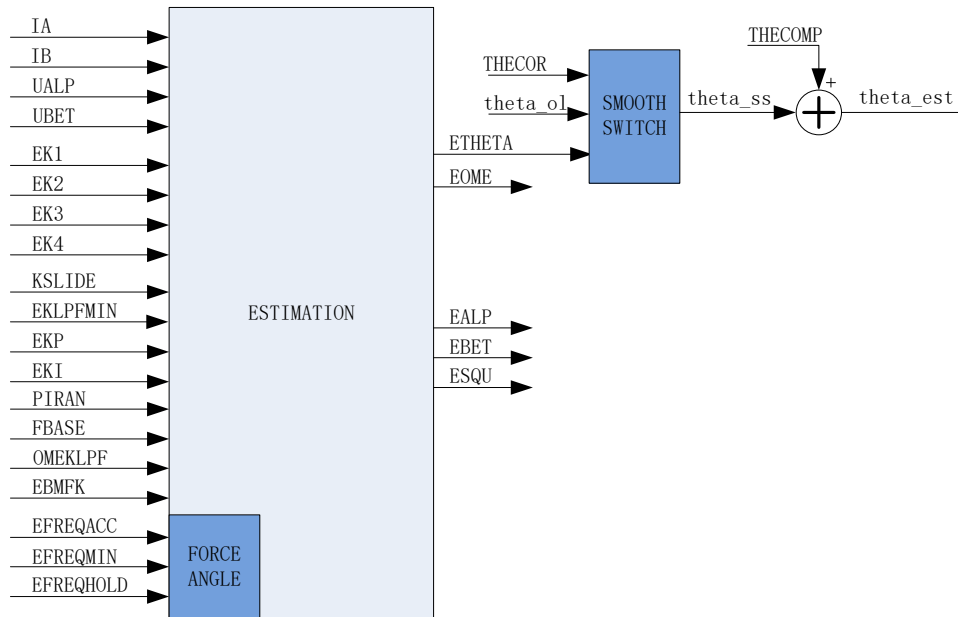


图 13-12 估算器原理框图

估算器采集的电机电流和电压，根据用户输入的电机参数和控制参数，输出角度、速度和反电动势数据。

1、估算器估算角度

估算器根据用户输入的电机参数和控制参数构建电机模型，同时采集的电机电流和电压对估算值进行修正，输出与实际情况相符合的角度。估算器可选择 PLL 模式和滑模模式，通过 FOC_CR1 寄存器的 ESEL 进行配置。

2、估算器强制角度

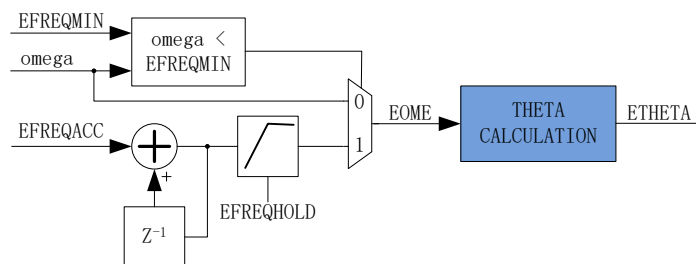


图 13-13 估算器强制角度原理框图

此功能与爬坡功能类似。由于电机启动时，电机的输出较小，导致采集的电流小，估算器模型估算的角度和速度存在较大的误差，可能令电机启动失败，所以在这种情况下，估算器输出强制角度，保证电机顺利启动。

配置 FOC_CR1 寄存器的 EFAE = 1，当估算器的估算速度 ω 小于用户设定的最小值 EFREQMIN，功能启动，强制速度从 0 开始，每个运算周期与速度增量 EFREQACC 相加，同时根

据 EFREQHOLD 进行最大值限幅，输出强制速度作为最终速度 EOME 供角度计算模块算出估算器角度 ETHETA；当 ω 大于等于 EFREQMIN 时，输出估算速度 ω 作为最终速度 EOME。

3、角度平滑切换

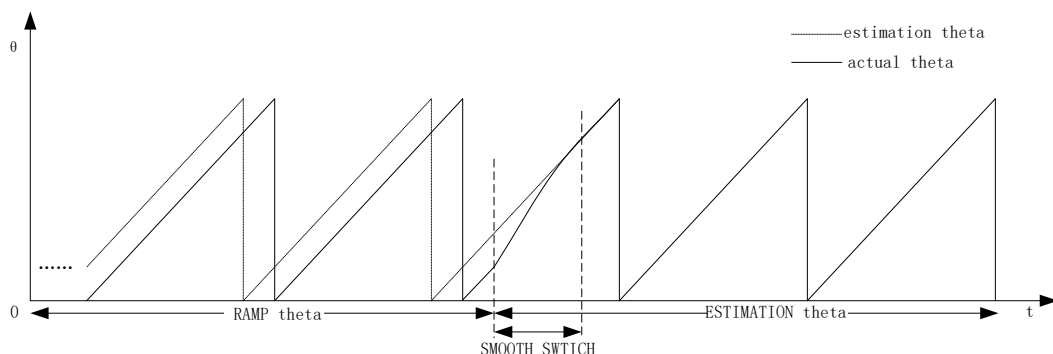


图 13-14 角度平滑切换曲线

假如配置 FOC_CR1 寄存器的 RFAE = 1, ANGM = 1，即采用爬坡功能启动电机，爬坡结束后切换估算器模式，在爬坡的过程中，估算器也在估算角度，但是估算角度通常与爬坡强制角度存在偏差，爬坡结束后，如果角度从爬坡强制角度直接切换到估算角度，可能由于角度的突变引起电机抖动，因此需要平滑切换模块。

爬坡结束时，假如估算角度 ETHETA 和爬坡强制角度 θ_{ol} 的偏差小于等于 THECOR，则认为角度偏差较小，直接选择 ETHETA 作为角度输出；假如偏差大于 THECOR，则每个运算周期 θ_{ol} 向 ETHETA 的值靠拢，以 THECOR 的步长进行平滑修正并输出，当偏差小于 THECOR，直接选择 ETHETA 作为角度输出。

4、角度补偿

补偿值 THECOMP 对估算角度进行补偿输出，THECOMP 的最高位为 1，为负补偿；最高位为 0，为正补偿。

13.1.8 输出模块

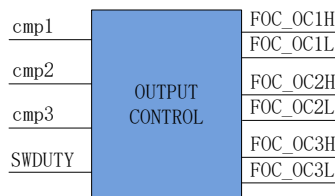


图 13-15 输出模块框图

FOC_OC1H/FOC_OC1L、FOC_OC2H/FOC_OC2L、FOC_OC3H/FOC_OC3L 是 FOC 的三对互补输出，支持死区插入，其中为 FOC_OCxL 是下桥输出，与 OCxREF 同相；FOC_OCxH 是上桥输出，为 OCxREF 的互补输出。通过配置 FOC_CMR 寄存器的 CCxEH 和 CCxEL，可以选择输出模式为无效电平或者插入死区的互补输出。FOC_CMR 寄存器的 CCPH 和 CCPL 配置输出的

极性。

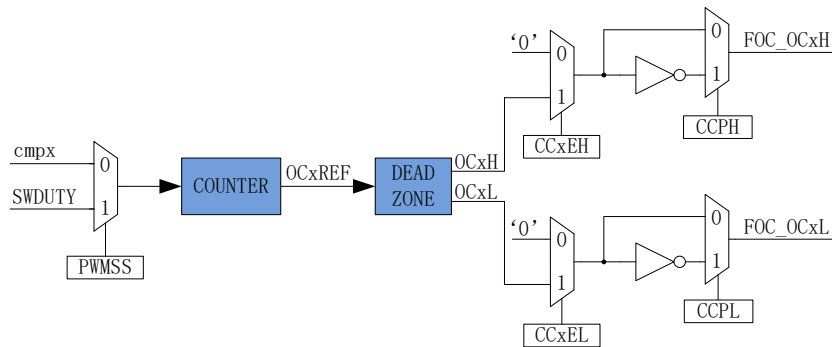


图 13-16 FOC 输出模式框图

FOC 三路互补输出的占空比通过 FOC_CR1 寄存器的 PWMSS，可以选择来自 FOC 内部的 SVPWM 模块的 CMP1/CMP2/CMP3 或者用户给定的 SWDUTY，送至计数器比较后得到三路原始 PWM 信号 OCxREF。当计数值 cntn 小于目标值，OCxREF 输出高电平，反之，输出低电平。

1、配置 FOC_CR1 寄存器的 PWMSS=0，选择 SVPWM 模块输出的三路比较值 cmp1/cmp2/cmp3 与计数值比较，生成 OC1REF/OC2REF/OC3REF。

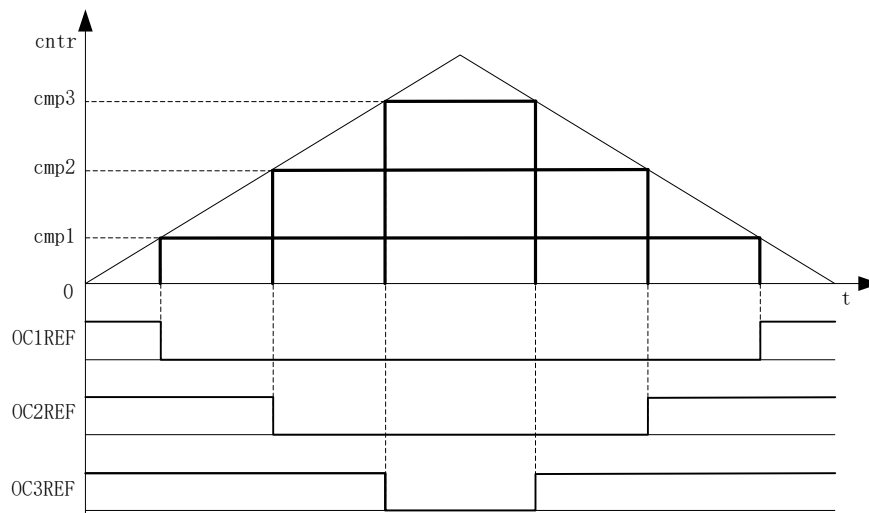


图 13-17 PWM 生成图

2、配置 FOC_CR1 寄存器的 PWMSS=1，选择用户给定的 SWDUTY 与计数值比较，生成三路占空比相同的 OC1REF/OC2REF/OC3REF。

占空比 = $SWDUTY / ARR \times 100\%$ (假设 $ARR=750$, $SWDUTY=375$, 则占空比=50%)

配合 FOC_CMR 寄存器的 CCxEH 和 CCxEL 可实现预充电和刹车等功能, SWDUTY 控制 PWM 占空比, CCxEH 和 CCxEL 控制六路输出方式。

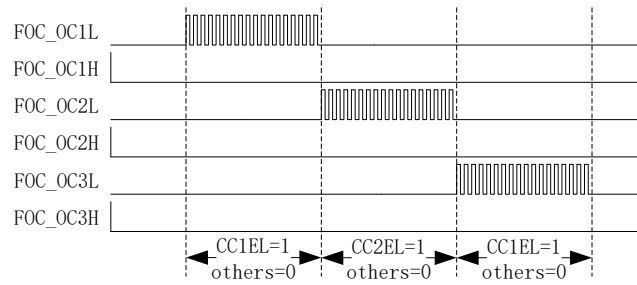


图 13-18 预充电图

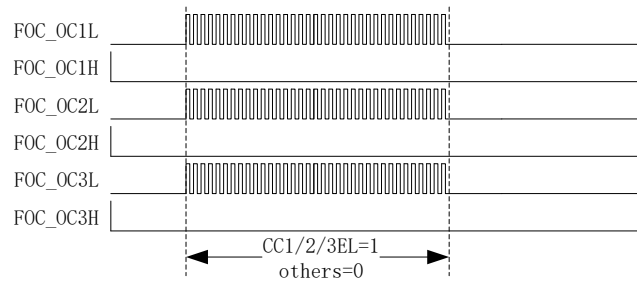


图 13-19 刹车图

对于互补输出，如果 `FOC_DTR` 寄存器不等于 0，就使能了死区插入。每个通道都有一个 8bit 的死区发生器。三个通道的死区延时相同，由同一个寄存器（`FOC_DTR`）配置。当 `OCxREF` 上升沿发生时，`OCxL` 的实际输出高电平比 `OCxREF` 的上升沿延迟 `TIM0_DTR` 设定的时间；当 `OCxREF` 下降沿发生时，`OCxH` 的实际输出高电平比 `OCxREF` 的下降沿延迟 `TIM0_DTR` 设定的时间。如果延迟时间大于实际输出的脉宽，那么对应的通道脉宽不延迟，相反的通道脉宽不产生。

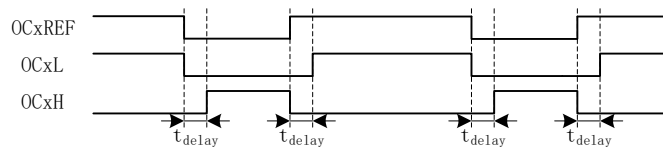


图 13-20 带死区插入的互补输出

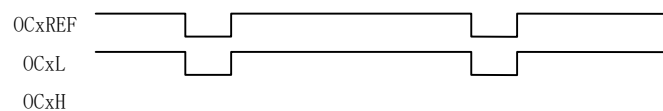


图 13-21 死区时间大于负电平

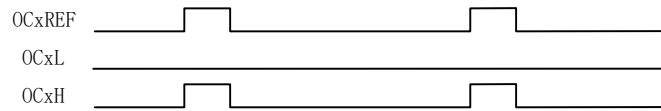


图 13-22 死区时间大于正电平

13.1.9 电机实时参数

FOC 模块在运算的过程中，用户可以查看实时角度值 THETA 和估算速度 EOME，还可以查看电机的其他实时参数，用户可以根据参数判定电机的实时状态。FOC 模块提供以下实时参数：

- 1、 角度值 THETA
- 2、 估算器角度 ETHETA，估算速度 EOME
- 3、 D 轴电压 UD， Q 轴电压 UQ
- 4、 D 轴电流 ID， Q 轴电流 IQ
- 5、 IPARK 模块坐标转换的 ALPHA 轴电压 VALP， BETA 轴电压 VBET
- 6、 母线电压计算模块算出的 ALPHA 轴电压 UALP， BETA 轴电压 UBET
- 7、 两相电流 IA,IB
- 8、 CLARKE 模块坐标转换的 ALPHA 电流 IALP（即 IA）， BETA 轴电流 IBET
- 9、 ALPHA 轴反电动势 EALP， BETA 轴反电动势 EBET
- 10、 反电动势平方 ESQU
- 11、 功率 POW

13.1.9.1 顺风逆风检测

FOC 提供专用的顺风逆风检测模块，配置 FOC_CR2 的 ESCMS=1，同时配置参考电流输入 IDREF,IQREF 均为 0，并启动 FOC 模块，可以通过读取估算角度 ETHETA 和估算速度 EOME 的值判断电机的状态，当 ETHETA 向下递减或者 EOME 为负值，则为逆风转动状态，需要先刹车，再以强制角度模式启动电机；当 ETHETA 向下递减或者 EOME 为正值，则为顺风转动状态，可直接切换估算器角度启动电机。

13.1.9.2 反电动势检测

估算器根据输入的电机参数估算出 α 轴反电动势 EALP 和 β 轴反电动势 EBET，由此输出 $ea2 + e\beta2$ 即 ESQU。用户可根据 ESQU 的值判定启动的状态，可实现堵转保护，缺相保护等功能。

13.1.9.3 功率

通过由 FOC 内部的 SVPWM 模块得到电流和通电时间，以及滤波后的母线电压，经过计算得到功率。

13.1.10 中断

13.1.10.1 下溢中断

当 FOC 内部计数器向下计数至 0 时，产生下溢事件。配置 FOC_CR2 寄存器的 FUIE 使能中断，FIM 可选择中断产生周期，即产生 1/2/3/4 次下溢事件后产生中断，下溢中断标记 FUIF 硬件置 1。软件对 FUIF 写 0 可清中断标记，写 1 无效。

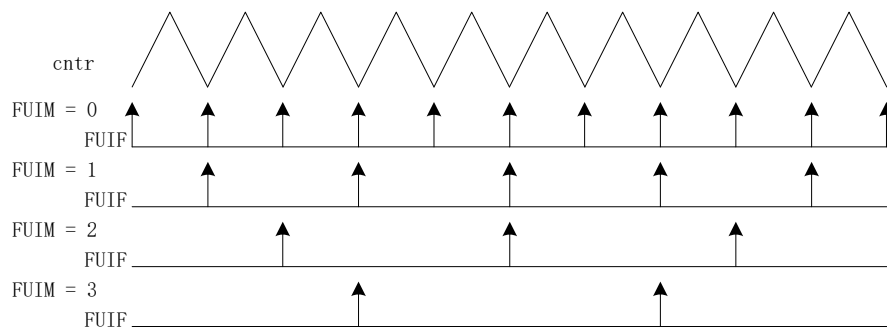


图 13-23 FOC 下溢中断

13.1.10.2 比较匹配中断

设置 FOC_CR3 寄存器的 FCIM 配置向上计数或者向下计数时进行比较匹配，设置比较匹配值 FOC_COMR，当 FOC 内部计数器的计数值等于 FOC_COMR，符合 FCIM 的设置则产生中断事件。配置 FOC_CR2 寄存器的 FCIE 使能中断，下溢中断标记 FCIF 硬件置 1。软件对 FCIF 写 0 可清中断标记，写 1 无效。

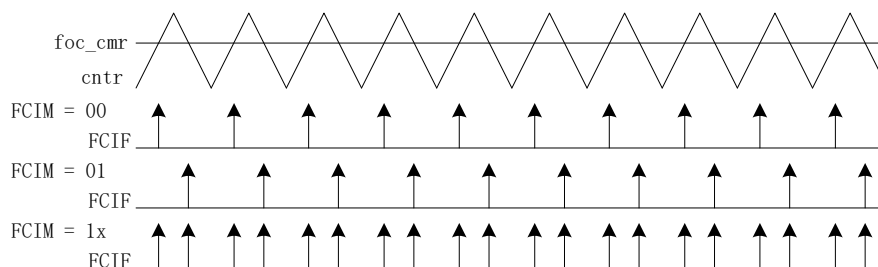


图 13-24 FOC 比较匹配中断

13.1.11 FOC 观测器

FOC 观测器将电机的实时变量以 SPI 的模式发送至上位机实时显示。通过配置 FOC_CR2 寄存器的 DBEN=1 使能 FOC 观测功能，FOC 观测开启时，SPI 接口会被占用。用户只需根据 FOC_FDS 寄存器配置选择每个通道需要发送的数据，FOC 观测器自动发送数据。FOC 观测器有 4 个通道，分成两组，通道 1 和通道 2 为一组，通道 3 和通道 4 为一组。

表 13-2 FOC 观测器输出变量表

FDS12/FDS34	通道 1/3	通道 2/4	寄存器值	通道 1/3	通道 2/4
0000	THETA_SS(带软切换估算角度)	EOME(估算速度)	1000	EALP	IALP
0001	THETA(实际输出角度)	EOME 估算速度)	1001	ESQU	POW
0010	UD(D轴电压)	UQ(Q轴电压)	1010	IA	IB
0011	ID(D轴电流)	IQ(Q轴电流)	1011	IB	IC
0100	UALP	UBET	1100	UDCFLT(滤波母线电压)	RTHESTEP(爬坡步进值)
0101	IALP	IBET	1101	UALP	VALP
0110	EALP	EBET	1110	THETA_SS(带软切换估算角度)	ETHETA(估算角度)
0111	VALP	VBET	1111	IALP	IALP_EST(估算 IALPHA 电流)

13.2 FOC 寄存器

13.2.1 FOC_SET0 (0xE8)

表 13-3 FOC_SET0 (0xE8)

位	7	6	5	4	3	2	1	0
名称	FOCEN	RSV				RSV		
类型	R/W	R	R	R	R	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	FOCEN	FOC功能使能。 FOC使能后，FOC相关寄存器才能写；当FOCEN为0时，FOC相关寄存器和内部变量硬件复位。

		0: 禁止 1: 使能
[6:0]	RSV	保留位

13.2.2 FOC_SET1 (0xE9)

表 13-4 FOC_SET1 (0xE9)

位	7:3					2:1		0
名称	RSV					RSV		FOCFR
类型	R	R	R	R	R	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:1]	RSV	保留位
[0]	FOCFR	FOC 正反转控制器 0: 正转 1: 反转

13.2.3 FOC_FDS (0x408F)

表 13-5 FOC_FDS (0x408F)

位	7	6	5	4	3	2	1	0
名称	FDS34				FDS12			
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:4]	FDS34	FOC debug 接口通道 3, 4 输出选择 请参考表 13-2
[3:0]	FDS12	FOC debug 接口通道 1, 2 输出选择 请参考表 13-2

13.2.4 FOC_CR1 (0x4090)

表 13-6 FOC_CR1 (0x4090)

位	7	6	5	4	3	2	1	0
名称	ESEL	EFAE	RFAE	ANGM	CSM	FCE	PWMSS	FOCST
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
----	----	----

[7]	ESEL	ESTIMATION select (估算器模式选择) 0: SMO (滑模) 1: PLL (锁相环), 此时 FOC_KSILDE 寄存器为 PLL 的 PI 控制器的 KP, FOC_KLPFMIN 寄存器为 PLL 的 PI 控制器的 KI
[6]	EFAE	ESTIMATION Force angle enable (估算器强制角度使能) 使能后, 角度由估算器强制给出, 并自动切换到估算器角度闭环 0: 禁止 1: 使能
[5]	RFAE	Ramp Force angle enable (强制爬坡角度使能) 使能后, 角度由爬坡模块强制给出, 爬坡结束后根据 ANGM 位自动切换到估算器模式或强拉模式, 同时 RFAE 硬件清零 0: 禁止 1: 使能
[4]	ANGM	Angle mode (角度模式) RFAE=0 时, 角度来源于估算器或强拉 RFAE=1 时, 爬坡结束后切换估算器或强拉 0: 强拉模式 1: 估算模式
[3]	CSM	Current sample mode (电流采样模式) 0: 单电阻采样 1: 双电阻采样
[2]	FCE	Foc counter enable (FOC 计数器使能) 0: 禁止 1: 使能
[1]	PWMSS	PWM SOURCE SELECT (PWM 源选择) PWM 的来源可以选择软件和 FOC 运算; 软件写 PWM 的占空比可以实现充电和刹车的功能; FOC 运算可以实现电机电流闭环转动 0: FOC 闭环 1: 软件写
[0]	FOCST	FOC START (FOC 启动) 软件写一, 硬件自清零。(FOC 启动后, 该位不允许再次写一) 0: 不启动 1: 启动

13.2.5 FOC_CR2 (0x4091)

表 13-7 FOC_CR2 (0x4091)

位	7	6	5	4	3	2	1	0
名称	ESCMS	RSV	F5SEG	DSS	RSV			DBEN
类型	R/W	R/W	R/W	R/W	R	R	R	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	ESCMS	ESTIMATION Speed calculate mode SELECT (估算器速度计算模式选择) 针对顺风, 逆风启动, 需要特殊的速度计算, 该位置一, 可以在启时检测顺风, 逆风。 0: 普通模式 1: 顺风, 逆风模式
[6]	RSV	
[5]	F5SEG	FOC 双电阻电流采样下 SVPWM 调制方式选择 (单电阻电流采样禁止为 1) 0: 7 段式选择 1: 5 段式选择
[4]	DSS	双电阻电流采样模式 0: 顺序采样模式: 一个载波周期采样 IA, IB 电流 1: 交替采样模式: 每个载波周期交替采样 IA, IB 电流, 同时两个载波周期运算一次
[3:1]	RSV	保留位
[0]	DBEN	FOC 专用 debug 接口使能 0: 不使能 1: 使能 注: FOC 专用 debug 接口使能后, SPI 通讯接口会被占用

13.2.6 FOC_CR3 (0x4092)

表 13-8 FOC_CR3 (0x4092)

位	7	6	5	4	3	2	1	0
名称	RSV				FCIM		FUIM	
类型	R	R	R	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:4]	RSV	保留位
[3:2]	FCIM	FOC compare interrupt mode (FOC 比较匹配中断模式) 当计数值等于 FOC_COMR 时, 根据 FCIM 的设置判断是否产生中断标记 00: 上升方向 01: 下降方向 1x: 上升/下降方向
[1:0]	FUIM	FOC underflow interrupt mode (FOC 下溢中断模式) 多少个载波周期产生一次 FOC 下溢中断。当 FOC 计数器发生下溢事件, 中断计数器 FIM_CNT 向上加一, 当计数值等于 FUIM, 清零重新计数并产生中断标记 00: 1 个周期 01: 2 个周期 10: 3 个周期 11: 4 个周期

13.2.7 FOC_IER (0x4093)

表 13-9 FOC_IER (0x4093)

位	7	6	5	4	3	2	1	0
名称	RSV						FCIE	FUIE
类型	R	R	R	R	R	R	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:2]	RSV	保留位
[1]	FCIE	compare enable (FOC 计数器比较匹配中断使能) 0: 禁止中断 1: 使能中断
[0]	FUIE	Underflow interrupt enable (FOC 计数器下溢中断使能) 0: 禁止中断 1: 使能中断

13.2.8 FOC_SR (0x4094)

表 13-10 FOC_SR (0x4094)

位	7	6	5	4	3	2	1	0
名称	EUOF	RSV					FCIF	FUIF
类型	R/W0	R	R	R	R	R	R/W0	R/W0
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	EUOF	error voltage overflow flag (电压 UALP,UBET 溢出标记—非中断标记) 电压 UALP,UBET 通过采集母线电压和输出占空比计算得出, 当母线电压 UDC 和占空比较大时 (占空比为 100%, UDC 分压采集后大于 3.75v), 会导致 UALP,UBET 溢出, 导致 FOC 运算错误。 该位由硬件置 1。它由软件清 0。 0: 无事件发生 1: 电压溢出标记产生
[6:2]	RSV	保留位
[1]	FCIF	compare interrupt flag (FOC 比较匹配中断标记) 当计数值等于 FOC_COMR 时, 根据 FCIM 设置判断计数方向, 符合则产生中断标记 该位由硬件置 1。它由软件清 0。 0: 无事件发生 1: 比较中断产生
[0]	FUIF	Underflow interrupt flag (FOC 计数器下溢中断标记) 当计数值等于 FOC_ARR 时, 产生上溢事件, 中断计数器 FIM_CNT 向上加一, 当计数值等于 FIM, 清零重新计数并产生中断标记 该位由硬件置 1。它由软件清 0。

		0: 无事件发生 1: 上溢中断产生
--	--	-----------------------

13.2.9 FOC_CHC (0x4095)

表 13-11 FOC_CHC (0x4095)

位	7	6	5	4	3	2	1	0
名称	CSOC		ITCH			UCH		
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	1	0	0	0	1	0

字段	名称	描述
[7:6]	CSOC	Current sample offset calibrate (电流采样偏置校准) 配置该位, 对 FOC_CSO 写校准值。单电阻采样时, 配置为 00 或 11; 双电阻采样时, 先后配置为 01 和 10 对 ia, ib 校准 00,11: itrip 01:ia 10:ib
[5:3]	ITCH	母线电流 ITRIP 采样通道选择 001: 通道 0 001: 通道 1 010: 通道 2 011: 通道 3 100: 通道 4 101: 通道 5 110: 通道 6 111: 通道 7
[2:0]	UCH	母线电压 UDC 采样通道选择 001: 通道 0 001: 通道 1 010: 通道 2 011: 通道 3 100: 通道 4 101: 通道 5 110: 通道 6 111: 通道 7

13.2.10 FOC_PIRAN (0x4096)

表 13-12 FOC_PIRAN (0x4096)

位	7	6	5	4	3	2	1	0
名称	EPIRAN				DQPIRAN			
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	1	0	0	0	1	0	0

字段	名称	描述												
[7:4]	EPIRAN	估算器里的 PI 控制器的结果截位, 默认截 12 位 (此时可认为输入 KP,KI 为 Q12 格式)												
		<table border="1"> <thead> <tr> <th>PIRANGE</th> <th>截位</th> <th>PIRANGE</th> <th>截位</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>8</td> <td>1000</td> <td>16</td> </tr> <tr> <td>0001</td> <td>9</td> <td>1001</td> <td>17</td> </tr> </tbody> </table>	PIRANGE	截位	PIRANGE	截位	0000	8	1000	16	0001	9	1001	17
PIRANGE	截位	PIRANGE	截位											
0000	8	1000	16											
0001	9	1001	17											

		0010	10	1010	18		
		0011	11	1011	19		
		0100	12	1100	20		
		0101	13	1101	21		
		0110	14	1110	22		
		0111	15	1111	23		
[3:0]	DQPIRAN	Q轴和D轴的PI控制器的结果截位,默认截12位(此时可认为输入KP,KI为Q12格式)					
		PIRANGE	截位	PIRANGE	截位		
		0000	8	1000	16		
		0001	9	1001	17		
		0010	10	1010	18		
		0011	11	1011	19		
		0100	12	1100	20		
		0101	13	1101	21		
		0110	14	1110	22		
		0111	15	1111	23		

13.2.11 FOC_CMCR (0x4097)

表 13-13 FOC_CMCR (0x4097)

位	7	6	5	4	3	2	1	0
名称	CCPH	CCPL	CC3EH	CC3EL	CC2EH	CC2EL	CC1EH	CC1EL
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	CCPH	上桥通道输出极性选择 0: FOC_OCH 高电平有效 1: FOC_OCH 低电平有效
[6]	CCPL	下桥通道输出极性选择 0: FOC_OCL 高电平有效 1: FOC_OCL 低电平有效
[5]	CC3EH	上桥通道3输出使能 0: 关闭-禁止FOC_OC3H输出 1: 开启-使能 FOC_OC3H 输出
[4]	CC3EL	下桥通道3输出使能 0: 关闭-禁止FOC_OC3L输出 1: 开启-使能 FOC_OC3L 输出
[3]	CC2EH	上桥通道2输出使能 0: 关闭-禁止FOC_OC2H输出 1: 开启-使能 FOC_OC2H 输出
[2]	CC2EL	下桥通道2输出使能

		0: 关闭–禁止FOC_OC2L输出 1: 开启–使能 FOC_OC2L 输出
[1]	CC1EH	上桥通道1输出使能 0: 关闭–禁止FOC_OC1H输出 1: 开启–使能 FOC_OC1H 输出
[0]	CC1EL	下桥通道1输出使能 0: 关闭–禁止FOC_OC1L输出 1: 开启–使能 FOC_OC1L 输出

13.2.12 FOC_DKP (0x4098 , 0x4099)

表 13-14 FOC_DKPH (0x4098)

位	7	6	5	4	3	2	1	0
名称	FOC_DKP[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-15 FOC_DKPL (0x4099)

位	7	6	5	4	3	2	1	0
名称	FOC_DKP[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_DKP	D 轴的 PI 控制器的 KP 系数 取值范围 (0,32767), MSB 恒为 0, 格式根据 FOC_PIRAN 寄存器的 DQPIRAN 决定, 截位的位数 n 对应 Qn 格式, DQPIRAN=0 对应 Q8 格式, 默认 DQPIRAN=4 对应 Q12 格式

13.2.13 FOC_DKI (0x409A , 0x409B)

表 13-16 FOC_DKIH (0x409A)

位	7	6	5	4	3	2	1	0
名称	FOC_DKI[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-17 FOC_DKIL (0x409B)

位	7	6	5	4	3	2	1	0
名称	FOC_DKI[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_DKI	D 轴的 PI 控制器的 KI 系数 取值范围 (0,32767), MSB 恒为 0, 格式根据 FOC_PIRAN 寄存器的 DQPIRAN 决定, 截位的位数 n 对应 Qn 格式, DQPIRAN=0 对应 Q8 格式, 默认 DQPIRAN=4 对应 Q12 格式

13.2.14 FOC_DMAX (0x409C , 0x409D)

表 13-18 FOC_DMAXH (0x409C)

位	7	6	5	4	3	2	1	0
名称	FOC_DMAX[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-19 FOC_DMAXL (0x409D)

位	7	6	5	4	3	2	1	0
名称	FOC_DMAX[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_DMAX	D 轴的 PI 控制器的输出 UD 的上限值 取值范围 (-32768,32767)

13.2.15 FOC_DMIN (0x409E , 0x409F)

表 13-20 FOC_DMINH (0x409E)

位	7	6	5	4	3	2	1	0
名称	FOC_DMIN[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-21 FOC_DMINL (0x409F)

位	7	6	5	4	3	2	1	0
名称	FOC_DMIN[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_DMIN	D 轴的 PI 控制器的输出 UD 的下限值 取值范围 (-32768,32767)

13.2.16 FOC_QKP (0x40A0 , 0x40A1)

表 13-22 FOC_QKPH (0x40A0)

位	7	6	5	4	3	2	1	0
名称	FOC_QKP[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-23 FOC_QKPL (0x40A1)

位	7	6	5	4	3	2	1	0
名称	FOC_QKP[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_QKP	Q 轴的 PI 控制器的 KP 系数 取值范围 (0,32767), MSB 恒为 0, 格式根据 FOC_PIRAN 寄存器的 DQPIRAN 决定, 截位的位数 n 对应 Qn 格式, DQPIRAN=0 对应 Q8 格式, 默认 DQPIRAN=4 对应 Q12 格式

13.2.17 FOC_QKI (0x40A2 , 0x40A3)

表 13-24 FOC_QKIH (0x40A2)

位	7	6	5	4	3	2	1	0
名称	FOC_QKI[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-25 FOC_QKIL (0x40A3)

位	7	6	5	4	3	2	1	0
名称	FOC_QKI[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_QKI	Q 轴的 PI 控制器的 KI 系数 取值范围 (0,32767), MSB 恒为 0, 格式根据 FOC_PIRAN 寄存器的 DQPIRAN 决定, 截位的位数 n 对应 Qn 格式, DQPIRAN=0 对应 Q8 格式, 默认 DQPIRAN=4 对应 Q12 格式

13.2.18 FOC_QMAX (0x40A4 , 0x40A5)

表 13-26 FOC_QMAXH (0x40A4)

位	7	6	5	4	3	2	1	0
名称	FOC_QMAX[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-27 FOC_QMAXL (0x40A5)

位	7	6	5	4	3	2	1	0
名称	FOC_QMAX[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_QMAX	Q 轴的 PI 控制器的输出 UQ 的上限值 取值范围 (-32768,32767)

13.2.19 FOC_QMIN (0x40A6 , 0x40A7)

表 13-28 FOC_QMINH (0x40A6)

位	7	6	5	4	3	2	1	0
名称	FOC_QMIN[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-29 FOC_QMINL (0x40A7)

位	7	6	5	4	3	2	1	0
名称	FOC_QMIN[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_QMIN	Q 轴的 PI 控制器的输出 UQ 的上限值 取值范围 (-32768,32767)

13.2.20 FOC_UD (0x40A8 , 0x40A9)

表 13-30 FOC_UDH (0x40A8)

位	7	6	5	4	3	2	1	0
名称	FOC_UD[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-31 FOC_UDL (0x40A9)

位	7	6	5	4	3	2	1	0
名称	FOC_UD[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_UD	D 轴电压 通过 D 轴的 PI 控制器算出电压 取值范围 (-32768,32767)

13.2.21 FOC_UQ (0x40AA , 0x40AB)

表 13-32 FOC_UQH (0x40AA)

位	7	6	5	4	3	2	1	0
名称	FOC_UQ[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-33FOC_UQL (0x40AB)

位	7	6	5	4	3	2	1	0
名称	FOC_UQ[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_UQ	Q 轴电压 通过 Q 轴的 PI 控制器算出电压 取值范围 (-32768,32767)

13.2.22 FOC_IDREF (0x40AC , 0x40AD)

表 13-34 FOC_IDREFH (0x40AC)

位	7	6	5	4	3	2	1	0
名称	FOC_IDREF[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-35FOC_IDREFL (0x40AD)

位	7	6	5	4	3	2	1	0
名称	FOC_IDREF[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_IDREF	用户给定的电流 ID 参考值 取值范围 (-32768,32767)

13.2.23 FOC_IQREF (0x40AE , 0x40AF)

表 13-36 FOC_IQREFH (0x40AE)

位	7	6	5	4	3	2	1	0
名称	FOC_IQREF[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-37 FOC_IQREFL (0x40AF)

位	7	6	5	4	3	2	1	0
名称	FOC_IQREF[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_IQREF	用户给定的电流 IQ 参考值 取值范围 (-32768,32767)

13.2.24 FOC_ARR (0x40B0 , 0x40B1)

表 13-38 FOC_ARRH (0x40B0)

位	7	6	5	4	3	2	1	0
名称	FOC_ARR[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-39 FOC_ARRL (0x40B1)

位	7	6	5	4	3	2	1	0
名称	FOC_ARR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_ARR	计数器的重载值，决定载波周期和运算周期 FOC 计数器从 0 开始计数到 FOC_ARR，产生上溢事件，然后向下计数到 0 取值范围 (0,65535)

13.2.25 FOC_COMR (0x40E6 , 0x40E7)

表 13-40 FOC_COMRH (0x40E6)

位	7	6	5	4	3	2	1	0
名称	FOC_COMR[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-41 FOC_COMRL (0x40E7)

位	7	6	5	4	3	2	1	0
名称	FOC_COMR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_COMR	计数器的比较匹配值，当计数值与 COMR 相等时，根据 FOC_CR3 寄存器的 FCIM 是否产生比较匹配事件，使能 FCIE 后，产生比较中断源； 格式与 FOC_ARR 一致 取值范围 (0,65535)

13.2.26 FOC_SWDUTY (0x40B2 , 0x40B3)

表 13-42 FOC_SWDUTYH (0x40B2)

位	7	6	5	4	3	2	1	0
名称	FOC_SWDUTY[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-43 FOC_SWDUTYL (0x40B3)

位	7	6	5	4	3	2	1	0
名称	FOC_SWDUTY[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_SWDUTY	软件写 PWM 占空比 当 FOC_CR1 的 PWMSS=1，FOC 计数器与 SWDUTY 进行比较，输出 PWM；格式与 FOC_ARR 一致 取值范围 (0,65535)

13.2.27 FOC_TSMIN (0x40B4 , 0x40B5)

表 13-44 FOC_TSMINH (0x40B4)

位	7	6	5	4	3	2	1	0
名称	FOC_TSMIN[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-45 FOC_TSMINL (0x40B5)

位	7	6	5	4	3	2	1	0
名称	FOC_TSMIN[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_TSMIN	单电阻采样模式下，给 ADC 采样预留的最小窗口 注：双电阻采样模式下，设置为 0 范围 (0,65535)
TS = 采样窗口 ΔT + 死区时间 DT 假设 $\Delta T=4\mu s$, $DT=2\mu s$, $TS=6\mu s$, 载波周期为 $62.5\mu s$ $TS=6/62.5*65536=3146$		

13.2.28 FOC_TRGDLY (0x40B6 , 0x40B7)

表 13-46 FOC_TRGDLYH (0x40B6)

位	7	6	5	4	3	2	1	0
名称	FOC_TRGDLY[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-47 FOC_TRGDLYL (0x40B7)

位	7	6	5	4	3	2	1	0
名称	FOC_TRGDLY[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_TRGDLY	单电阻采样模式：ADC 电流采集触发延迟 范围 (-32768,32767) 双电阻采样模式：电流采集时机 TRGDLY[15]设置采集时机在计数器的下降区间或者上升区间： TRGDLY[15]=0：上升区间；TRGDLY[15]=1：下降区间 范围 (0,FOC_ARR[14:0])
单电阻采样模式：假设 MCU 时钟为 24MHz(41.67ns), TRGDLY = 5, 则延迟 $41.67*5=208ns$; TRGDLY 为-5, 则提前 208ns		

双电阻采样模式：假设 MCU 时钟为 24MHz(41.67ns)，TRGDLY = 0x8032，则当 FOC 计数器向下计数，在下溢事件前 $41.67 \times 50 = 2.08\mu s$ 进行采样；TRGDLY = 0x0032，则当 FOC 计数器向上计数，在下溢事件后 $41.67 \times 50 = 2.08\mu s$ 进行采样；

13.2.29 FOC_THETA (0x40B8 , 0x40B9)

表 13-48 FOC_THETAH (0x40B8)

位	7	6	5	4	3	2	1	0
名称	FOC_THETA[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-49 FOC_THETAL (0x40B9)

位	7	6	5	4	3	2	1	0
名称	FOC_THETA[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_THETA	角度 软件写：强拉角度； 软件读：当前 FOC 工作的角度； 取值范围 (-32768,32767)
THETA 的范围 (-32768,32767) 对应 (-180°,180°) 假设 THETA = 8192，对应为 $8192/32768 \times 180^\circ = 45^\circ$		

13.2.30 FOC_THECOMP (0x40BA , 0x40BB)

表 13-50 FOC_THECOMP (0x40BA)

位	7	6	5	4	3	2	1	0
名称	FOC_THECOMP[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-51 FOC_THECOMPL (0x40BB)

位	7	6	5	4	3	2	1	0
名称	FOC_THECOMP[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_THECOMP	角度补偿值：估算器估算出角度后加上补偿值作为估算器最终的输出角度；格式与 FOC_THETA 一致 取值范围 (-32768,32767)

13.2.31 FOC_RTHERCNT (0x408E)

表 13-52 FOC_RTHERCNT (0x408E)

位	7	6	5	4	3	2	1	0
名称	FOC_RTHERCNT							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	FOC_RTHERCNT	爬坡次数= RTHERCNT*256 爬坡功能使能后 (FOC_CR1 寄存器的 RFAE=1)，每个运算周期进行一次爬坡运算，当爬坡次数达到 RTHERCNT*256 后，爬坡结束

13.2.32 FOC_RTHERSTEP (0x40BC , 0x40BD)

表 13-53 FOC_RTHERSTEPH (0x40BC)

位	7	6	5	4	3	2	1	0
名称	FOC_RTHERSTEP[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-54 FOC_RTHERSTEPL (0x40BD)

位	7	6	5	4	3	2	1	0
名称	FOC_RTHERSTEP[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_RTHERSTEP	爬坡的速度；格式与 FOC_THETA 一致 软件写：初始速度 软件读：当前速度 取值范围 (-32768,32767) 注：FOC_RTHERSTEP 内部为 32bit，最高位为符号位，高 16 位可配 $RTHERSTEP(32bit) = RTHERSTEP(32bit) + RTHERACC(32bit, \text{高 } 16bit \text{ 恒为 } 0, \text{低 } 16bit \text{ 可配})$; $THETA(16bit) = THETA(16bit) + RTHERSTEP(\text{高 } 16bit)$

13.2.33 FOC_RTHERACC (0x40BE , 0x40BF)

表 13-55 FOC_RTHERACCH (0x40BE)

位	7	6	5	4	3	2	1	0
名称	FOC_RTHERACCH[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-56 FOC_RTHEACCL (0x40BF)

位	7	6	5	4	3	2	1	0
名称	FOC_RTHEACC[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_RTHEACC	爬坡模块的加速度；格式与 FOC_THETA 一致 取值范围 (-32768,32767) 注：FOC_RTHEACC 内部为 32bit，最高位为符号位，低 16 位可配 $RTHESTEP(32bit) = RTHESTEP(32bit) + RTHEACC(32bit, \text{高 } 16bit \text{ 恒为 } 0, \text{低 } 16bit \text{ 可配})$; $THETA(16bit) = THETA(16bit) + RTHESTEP(\text{高 } 16bit)$

13.2.34 FOC_THECOR (0x40C0, 0x40C1)

表 13-57 FOC_THECORH (0x40C0)

位	7	6	5	4	3	2	1	0
名称	FOC_THECOR[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-58 FOC_THECORL (0x40C1)

位	7	6	5	4	3	2	1	0
名称	FOC_THECOR[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
复位值	0	0	0	0	0	0	0	1

字段	名称	描述
[15:0]	FOC_THECOR	角度切换修正值： 当爬坡结束，切换到估算模式，由于估算角度和爬坡角度存在偏差，因此需要平滑切换；格式与 FOC_THETA 一致 取值范围 (0,32767)，MSB 恒为 0，LSB 恒为 1

13.2.35 FOC_ETHETA (0x40C2, 0x40C3)

表 13-59 FOC_ETHETAH (0x40C2)

位	7	6	5	4	3	2	1	0
名称	FOC_ETHETA[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-60 FOC_ETHETAL (0x40C3)

位	7	6	5	4	3	2	1	0
名称	FOC_ETHETA[7:0]							
类型	R	R	R	R	R	R	R	R

复位值	0	0	0	0	0	0	0	0
字段	名称		描述					
[15:0]	FOC_ETHETA		估算器算出的角度（补偿 FOC_THECOMP 前的角度）格式与 FOC_THETA 一致 取值范围（-32768,32767）					

13.2.36 FOC_KSLIDE (0x40C4 , 0x40C5)

表 13-61 FOC_KSLIDEH (0x40C4)

位	7	6	5	4	3	2	1	0
名称	FOC_KSLIDE/ FOC_PLLKP[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-62 FOC_KSLIDEL (0x40C5)

位	7	6	5	4	3	2	1	0
名称	FOC_KSLIDE/ FOC_PLLKP [7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_KSLIDE /FOC_PLLKP	当 FOC_CR1 的 ESEL=0（滑模模式）时，为估算器里的 KSLIDE 系数 当 FOC_CR1 的 ESEL=1（PLL 模式）时，为 PLL 的 PI 控制器的 KP 系数 取值范围（0,32767），MSB 恒为 0，Q15 格式

13.2.37 FOC_EKLPFMIN (0x40C6 , 0x40C7)

表 13-63 FOC_EKLPFMINH (0x40C6)

位	7	6	5	4	3	2	1	0
名称	FOC_EKLPFMIN/ FOC_PLLKPI[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-64 FOC_EKLPFMINL (0x40C7)

位	7	6	5	4	3	2	1	0
名称	FOC_EKLPFMIN/ FOC_PLLKPI[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_EKLPFMIN / FOC_PLLKI	当 FOC_CR1 的 ESEL=0（滑模模式）时，为估算器里反电动势低通滤波系数的最小值；当估算器算出的低通滤波系数小于最小值，系数等于最小值

		当 FOC_CR1 的 ESEL=1 (PLL 模式) 时, 为 PLL 的 PI 控制器的 KI 系数 取值范围 (0,32767), MSB 恒为 0, Q15 格式
--	--	--

13.2.38 FOC_EBMFK (0x40C8 , 0x40C9)

表 13-65 FOC_EBMFKH (0x40C8)

位	7	6	5	4	3	2	1	0
名称	FOC_EBMFK[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-66 FOC_EBMFKL (0x40C9)

位	7	6	5	4	3	2	1	0
名称	FOC_EBMFK[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_EBMFK	估算器里算反电动势低通滤波器系数 EKLPF 的系数 取值范围 (-32768,32767), Q15 格式
$EKLPF = EBMFK * OMEGA$ $EBMFK = 2 * pi * fbase * \Delta T$		

13.2.39 FOC_OMEKLPF (0x40CA , 0x40CB)

表 13-67 FOC_OMEKLPFH (0x40CA)

位	7	6	5	4	3	2	1	0
名称	FOC_OMEKLPF[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-68 FOC_OMEKLPFL (0x40CB)

位	7	6	5	4	3	2	1	0
名称	FOC_OMEKLPF[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_OMEKLPF	估算器里速度计算的低通滤波系数 取值范围 (0,32767), MSB 恒为 0

13.2.40 FOC_FBASE (0x40CC , 0x40CD)

表 13-69 FOC_FBASEH (0x40CC)

位	7	6	5	4	3	2	1	0
名称	FOC_FBASE[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-70 FOC_FBASEL (0x40CD)

位	7	6	5	4	3	2	1	0
名称	FOC_FBASE[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_FBASE	估算器里由速度 OMEGA 算出角度增量 DELTA THETA 的系数
$FBASE = fbase * \Delta T * 65536$ 假设 $fbase = 200HZ$, $\Delta T = 62.5us$, 则 $FBASE = 819$		

13.2.41 FOC_EOME (0x40CE , 0x40CF)

表 13-71 FOC_EOMEH (0x40CE)

位	7	6	5	4	3	2	1	0
名称	FOC_EOME[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-72 FOC_EOMEL (0x40CF)

位	7	6	5	4	3	2	1	0
名称	FOC_EOME[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_EOME	估算器估算的速度 OMEGA 取值范围 (-32768,32767)

13.2.42 FOC_EKP (0x40D0 , 0x40D1)

表 13-73 FOC_EKPH (0x40D0)

位	7	6	5	4	3	2	1	0
名称	FOC_EKP[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-74 FOC_EKPL (0x40D1)

位	7	6	5	4	3	2	1	0
名称	FOC_EKP[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_EKP	估算器里的 PI 控制器的 KP 系数 取值范围 (0,32767), MSB 恒为 0, 格式根据 FOC_PIRAN 寄存器的 EPIRAN 决定, 截位的位数 n 对应 Qn 格式, EPIRAN=0 对应 Q8 格式, 默认 EPIRAN=4 对应 Q12 格式

13.2.43 FOC_EKI (0x40D2, 0x40D3)

表 13-75 FOC_EKI (0x40D2)

位	7	6	5	4	3	2	1	0
名称	FOC_EKI[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-76 FOC_EKIL (0x40D3)

位	7	6	5	4	3	2	1	0
名称	FOC_EKI[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_EKI	估算器里的 PI 控制器的 KI 系数 取值范围 (0,32767), MSB 恒为 0, 格式根据 FOC_PIRAN 寄存器的 EPIRAN 决定, 截位的位数 n 对应 Qn 格式, EPIRAN=0 对应 Q8 格式, 默认 EPIRAN=4 对应 Q12 格式

13.2.44 FOC_POWKLPF (0x40D4, 0x40D5)

表 13-77 FOC_POWKLPFH (0x40D4)

位	7	6	5	4	3	2	1	0
名称	FOC_POWKLPF[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-78 FOC_POWKLPFL (0x40D5)

位	7	6	5	4	3	2	1	0
名称	FOC_POWKLPF[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_POWKLPF	功率计算的低通滤波系数 取值范围 (0,32767), MSB 恒为 0

13.2.45 FOC_POW (0x40D6 , 0x40D7)

表 13-79 FOC_POWH (0x40D6)

位	7	6	5	4	3	2	1	0
名称	FOC_POW[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-80 FOC_POWL (0x40D7)

位	7	6	5	4	3	2	1	0
名称	FOC_POW[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_POW	功率 取值范围 (-32768,32767)

13.2.46 FOC_EK1 (0x40D8 , 0x40D9)

表 13-81 FOC_EK1H (0x40D8)

位	7	6	5	4	3	2	1	0
名称	FOC_EK1[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-82 FOC_EK1L (0x40D9)

位	7	6	5	4	3	2	1	0
名称	FOC_EK1[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_EK1	估算器估算电流的第一个系数 取值范围 (0,32767), MSB 恒为 0, Q15 格式

13.2.47 FOC_EK2 (0x40DA , 0x40DB)

表 13-83 FOC_EK2H (0x40DA)

位	7	6	5	4	3	2	1	0
名称	FOC_EK2[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-84 FOC_EK2L (0x40DB)

位	7	6	5	4	3	2	1	0
名称	FOC_EK2[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_EK2	估算器估算电流的第二个系数 取值范围 (0,32767), MSB 恒为 0, Q15 格式

13.2.48 FOC_EK3 (0x40DC , 0x40DD)

表 13-85 FOC_EK3H (0x40DC)

位	7	6	5	4	3	2	1	0
名称	FOC_EK3[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-86 FOC_EK3L (0x40DD)

位	7	6	5	4	3	2	1	0
名称	FOC_EK3[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_EK3	估算器估算电流的第三个系数 取值范围 (0,32767), MSB 恒为 0, Q15 格式

13.2.49 FOC_EK4 (0x40DE , 0x40DF)

表 13-87 FOC_EK4H (0x40DE)

位	7	6	5	4	3	2	1	0
名称	FOC_EK4[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-88 FOC_EK4L (0x40DF)

位	7	6	5	4	3	2	1	0
名称	FOC_EK4[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_EK4	估算器估算电流的第四个系数 取值范围 (0,32767), MSB 恒为 0, Q15 格式

13.2.50 FOC_IA (0x40E0 , 0x40E1)

表 13-89 FOC_IAH (0x40E0)

位	7	6	5	4	3	2	1	0
名称	FOC_IA[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-90 FOC_IAL (0x40E1)

位	7	6	5	4	3	2	1	0
名称	FOC_IA[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_IA	相电流 IA 取值范围 (-32768,32767)

13.2.51 FOC_IB (0x40E2 , 0x40E3)

表 13-91 FOC_IBH (0x40E2)

位	7	6	5	4	3	2	1	0
名称	FOC_IB[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-92 FOC_IBL (0x40E3)

位	7	6	5	4	3	2	1	0
名称	FOC_IB[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_IB	相电流 IB 取值范围 (-32768,32767)

13.2.52 FOC_IBET (0x40E4 , 0x40E5)

表 13-93 FOC_IBETH (0x40E4)

位	7	6	5	4	3	2	1	0
名称	FOC_IBET[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-94 FOC_IBETL (0x40E5)

位	7	6	5	4	3	2	1	0
名称	FOC_IBET[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_IBET	电流 IBETA 取值范围 (-32768,32767)

13.2.53 FOC_ID (0x40E8 , 0x40E9)

表 13-95 FOC_IDH (0x40E8)

位	7	6	5	4	3	2	1	0
名称	FOC_ID[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-96 FOC_IDL (0x40E9)

位	7	6	5	4	3	2	1	0
名称	FOC_ID[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_ID	PARK 变换算出的 ID 取值范围 (-32768,32767)

13.2.54 FOC_IQ (0x40EA , 0x40EB)

表 13-97 FOC_IQH (0x40EA)

位	7	6	5	4	3	2	1	0
名称	FOC_IQ[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-98 FOC_IQL (0x40EB)

位	7	6	5	4	3	2	1	0
名称	FOC_IQ[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_IQ	PARK 变换算出的 IQ 取值范围 (-32768,32767)

13.2.55 FOC_VALP (0x40EC, 0x40ED)

表 13-99 FOC_VALPH (0x40EC)

位	7	6	5	4	3	2	1	0
名称	FOC_VALP[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-100 FOC_VALPL (0x40ED)

位	7	6	5	4	3	2	1	0
名称	FOC_VALP[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_VALP	IPARK 变换算出的 VALPHA 取值范围 (-32768,32767)

13.2.56 FOC_VBET (0x40EE, 0x40EF)

表 13-101 FOC_VBETH (0x40EE)

位	7	6	5	4	3	2	1	0
名称	FOC_VBET[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-102 FOC_VBETL (0x40EF)

位	7	6	5	4	3	2	1	0
名称	FOC_VBET[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_VBET	IPARK 变换算出的 VBETA 取值范围 (-32768,32767)

13.2.57 FOC_UALP (0x40F0 , 0x40F1)

表 13-103 FOC_UALPH (0x40F0)

位	7	6	5	4	3	2	1	0
名称	FOC_UALP[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-104 FOC_UALPL (0x40F1)

位	7	6	5	4	3	2	1	0
名称	FOC_UALP[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_UALP	通过电压计算模块算出的 UALPHA 取值范围 (-32768,32767)

13.2.58 FOC_UBET (0x40F2 , 0x40F3)

表 13-105 FOC_UBETH (0x40F2)

位	7	6	5	4	3	2	1	0
名称	FOC_UBET[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-106 FOC_UBETL (0x40F3)

位	7	6	5	4	3	2	1	0
名称	FOC_UBET[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_UBET	通过电压计算模块算出的 VBETA 取值范围 (-32768,32767)

13.2.59 FOC_EALP (0x40F4 , 0x40F5)

表 13-107 FOC_EALPH (0x40F4)

位	7	6	5	4	3	2	1	0
名称	FOC_EALP[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-108 FOC_EALPL (0x40F5)

位	7	6	5	4	3	2	1	0
名称	FOC_EALP[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_EALP	估算器估算的 EALPHA 取值范围 (-32768,32767)

13.2.60 FOC_EBET (0x40F6 , 0x40F7)

表 13-109 FOC_EBETH (0x40F6)

位	7	6	5	4	3	2	1	0
名称	FOC_EBET[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-110 FOC_EBETL (0x40F7)

位	7	6	5	4	3	2	1	0
名称	FOC_EBET[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_EBET	估算器估算的 EBETA 取值范围 (-32768,32767)

13.2.61 FOC_ESQU (0x40F8 , 0x40F9)

表 13-111 FOC_ESQUH (0x40F8)

位	7	6	5	4	3	2	1	0
名称	FOC_ESQU[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-112 FOC_ESQUL (0x40F9)

位	7	6	5	4	3	2	1	0
名称	FOC_ESQU[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_ESQU	EBETA 平方+EALPHA 平方 取值范围 (0,65535)

13.2.62 FOC_UDCFLT (0x40FA , 0x40FB)

表 13-113 FOC_UDCFLTH (0x40FA)

位	7	6	5	4	3	2	1	0
名称	FOC_UDCFLT[15:8]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

表 13-114 FOC_UDCFLTL (0x40FB)

位	7	6	5	4	3	2	1	0
名称	FOC_UDCFLT[7:0]							
类型	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_UDCFLT	滤波过后的母线电压 FOC 模块对母线电压采样，滤波后供软件使用 取值范围 (0,32767)
假设母线电压 1/6 分压送进 ADC，ADC 的电压范围 0~5V，即母线电压的有效范围为 0~30V，FOC_UDCFLT 为 19661 (0x4CCD)，则母线电压 = 19661/32768*5*6 = 18V 注：正常工作电压分压后不应超过 3.75V，一方面留余量做过压保护功能，另一方面超出 3.75V 有可能导致 FOC 运算溢出，可参考 FOC_SR 寄存器的 EUOF 位		

13.2.63 FOC_CSO (0x40FC , 0x40FD)

表 13-115 FOC_CSOH (0x40FC)

位	7	6	5	4	3	2	1	0
名称	FOC_CSO[15:8]							
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	1	0	0	0	0	0	0

表 13-116 FOC_CSOL (0x40FD)

位	7	6	5	4	3	2	1	0
名称	FOC_CSO[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	1	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_CSO	电流采样基准 配置 FOC_CR1 寄存器的 CSOC，对 FOC_CSO 写校准值，可校准单电阻采样模式的 itrip 基准和双电阻采样模式的 ia, ib 基准。 取值范围 (0,32767)，MSB 恒为 0
假设 ADC 的电压范围 0~5V，基准为 2.5V 则 $FOC_CSO = 2.5/5V * 32768 = 16384(0x4000)$		

13.2.64 FOC_EFREQACC (0x4088 , 0x4089)

表 13-117 FOC_EFREQACCH (0x4088)

位	7	6	5	4	3	2	1	0
名称	FOC_EFREQACC[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-118 FOC_EFREQACCL (0x4089)

位	7	6	5	4	3	2	1	0
名称	FOC_EFREQACC[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_EFREQACC	估算器强制角度模式的 OMEGA 增量 取值范围 (0,65535) 注：FOC_EFREQACC 内部为 24bit，最高位为符号位，低 16 位可配
假设 fbase = 200HZ，极对数 pp=4，则 $speed_base = 60 * fbase / pp = 3000rpm$ ，设置 OMEGA 增量为 3rpm 则 $FOC_EFREQACC = 3 / speed_base * 32768 * 256 = 8388(0x20c4)$		

13.2.65 FOC_EFREQMIN (0x408A , 0x408B)

表 13-119 FOC_EFREQMINH (0x408A)

位	7	6	5	4	3	2	1	0
名称	FOC_EFREQMIN[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-120 FOC_EFREQMINL (0x408B)

位	7	6	5	4	3	2	1	0
名称	FOC_EFREQMIN[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_EFREQMIN	OMEGA 最小值：估算器强制角度模式使能时，估算 OMEGA 小于该值时，强制角度模式生效 取值范围 (-32768,32768) 注：FOC_EFREQMIN 内部为 24bit，最高位为符号位，高 16 位可配
假设 fbase = 200HZ, 极对数 pp=4, 则 speed_base=60*fbase/pp=3000rpm, 设置 OMEGA 最小值为 30rpm 则 FOC_EFREQMIN = 30/speed_base*32768 = 327(0x147)		

13.2.66 FOC_EFREQHOLD (0x408C , 0x408D)

表 13-121 FOC_EFREQHOLDH (0x408C)

位	7	6	5	4	3	2	1	0
名称	FOC_EFREQHOLD[15:8]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 13-122 FOC_EFREQHOLDL (0x408D)

位	7	6	5	4	3	2	1	0
名称	FOC_EFREQHOLD[7:0]							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	FOC_EFREQHOLD	OMEGA 保持值：当 OMEGA 增加到等于该值时，就保持为这个值 取值范围 (-32768,32768) 注：FOC_EFREQHOLD 内部为 24bit，最高位为符号位，高 16 位可配
假设 fbase = 200HZ, 极对数 pp=4, 则 speed_base=60*fbase/pp=3000rpm, 设置 OMEGA 保持值为 60rpm 则 FOC_EFREQHOLD = 60/speed_base*32768 = 655(0x28f)		

13.2.67 FOC_DTR (0x4064)

表 13-123 FOC_DTR (0x4064)

位	7	6	5	4	3	2	1	0
名称	FOC_DTR							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	FOC_DTR	Deadtime (死区时间) DTR为插入互补输出之间的死区持续时间。假设MCU时钟为24MHZ(41.67ns) $DT = (DTR+1) \times 41.67ns$ 注: 当DTR=0, 不插入死区

14 TIMER0(TIM0)

14.1 Timer0 操作说明

Timer0 包含一个 16 位带自动重载的高级计数器，计数器的计数源为内部时钟。Timer0 具有如下特性：

- 1、 16 位带自动重载的向上、向下、向上/下计数器
- 2、 允许在指定数目的计数器周期之后更新定时器寄存器的重复计数器
- 3、 8 位可编程预分频器对计数器的计数时钟进行分频，分频系数可为 1~256 任意值
- 4、 4 个独立的通道可配置为如下功能：
 - a) 输出比较
 - b) PWM 生成（边沿或中央对齐模式）
 - c) 6 步 PWM 生成
 - d) 单脉冲模式输出
 - e) 3 通道支持可编程死区插入的互补输出
- 5、 配合 SVPWM/SPWM 模块产生 SVPWM/SPWM
- 6、 中断事件产生
 - a) 更新中断：计数器向上/下溢出，计数器初始化
 - b) 触发事件 COM
 - c) 输出比较

Timer0 内部结构如图 14-1 所示。

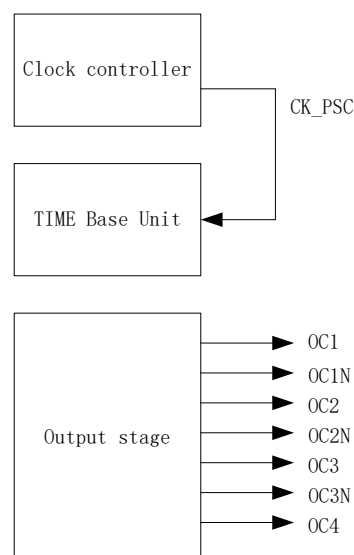


图 14-1 TIM0 框图

14.1.1 Timer0 计数

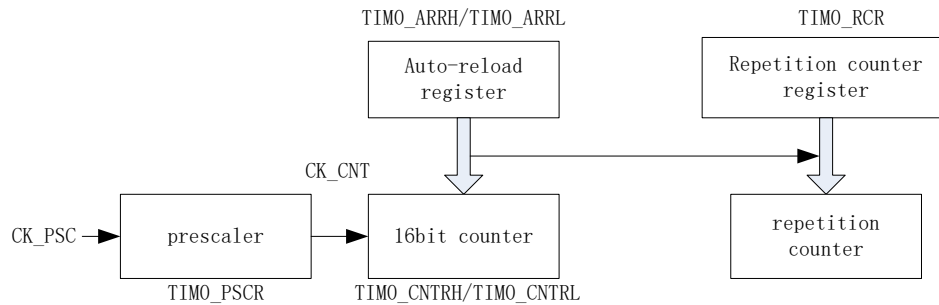


图 14-2 时基单元

Timer0 的核心是一个 16 位计数器 (TIMO_CNTR)，预分频器 (TIMO_PSCR) 用于对计数时钟进行分频 ($f_{CK_CNT} = f_{CK_PSC} / (TIMO_PSCR + 1)$)，自动重载寄存器 (TIMO_ARR) 用于存储计数器重载的值，重复计数器寄存器 (TIMO_RCR) 用于存储重复计数的周期数。以上四组寄存器均可由软件读写。

14.1.1.1 TIMO_ARR 的读写

TIMO_ARR 包含预装载寄存器和影子寄存器。写该寄存器分为两种模式：

- 1、TIMO_ARR 预装载使能 (TIMO_CR1[ARPE]=1)：软件写 TIMO_ARR 寄存器时，数据保存在预装载寄存器中，在下一个更新事件 UEV (update event) 再传递到影子寄存器中。
- 2、TIMO_ARR 预装载不使能 (TIMO_CR1[ARPE]=0)：软件写 TIMO_ARR 寄存器时，数据直接写入影子寄存器中。

TIMO_ARR 是一个 16 位寄存器，软件需先写入高字节，再写入低字节，由硬件保证在高字节写入后至低字节写入前预装载寄存器中的数据不会更新至影子寄存器中。

14.1.1.2 TIMO_PSCR 的读写

TIMO_PSCR 包含缓冲寄存器和影子寄存器。软件写 TIMO_PSCR 时将寄存器值更新至影子寄存器中。下一个 UEV 到来时，影子寄存器中的值更新到缓冲寄存器中。实际分频使用的是缓冲寄存器中的值，软件读操作访问的是影子寄存器。

14.1.1.3 TIMO_CNTR 的读写和计数

TIMO_CNTR 计数仅在 TIMO_CR1[CEN]=1 时进行。软件对 TIMO_CNTR 的写操作是直接改变寄存器的值，因此软件需在计数不使能时执行写操作。软件读 TIMO_CNTR 时，先读高字节，硬件会同步将此刻低字节缓存，待软件读低字节时读取到的是缓存的数据。

- 1、边沿对齐向上计数模式

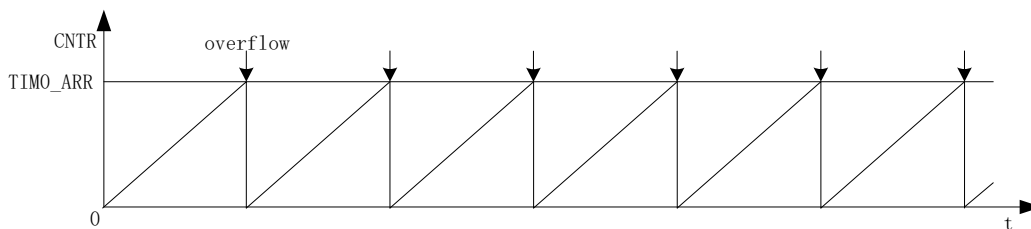


图 14-3 边沿对齐向上计数模式

设置 $TIM0_CR0[CMS]=00$ 并且 $TIM0_CR1[DIR]=0$ ，计数器为边沿对齐向上计数模式。此种模式下，计数器从 0 开始计数，计数至 $TIM0_ARR$ ，产生计数器上溢事件，如果 $TIM0_CR1[UDIS]=0$ 产生 UEV，同时重新从 0 开始计数。

2、边沿对齐向下计数模式

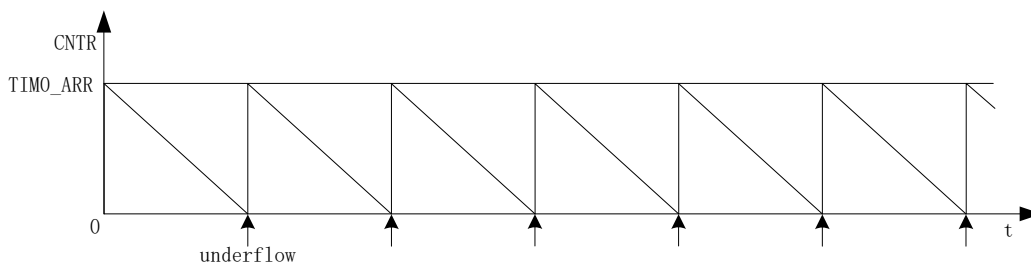


图 14-4 边沿对齐向下计数模式

设置 $TIM0_CR0[CMS]=00$ 并且 $TIM0_CR1[DIR]=1$ ，计数器为边沿对齐向下计数模式。此种模式下，计数器从 $TIM0_ARR$ 开始计数，计数至 0，产生计数器下溢事件，如果 $TIM0_CR1[UDIS]=0$ 产生 UEV，同时重新从 $TIM0_ARR$ 开始计数。

3、中央对齐计数模式

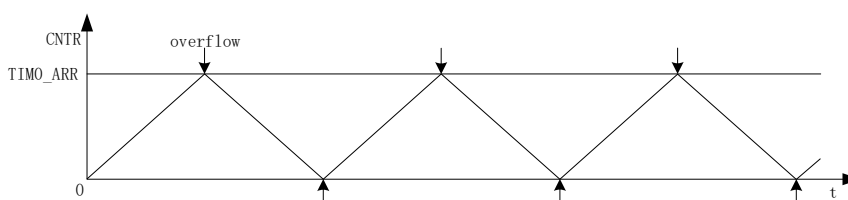


图 14-5 中央对齐计数模式

设置 $TIM0_CR0[CMS]=01/10/11$ ，计数器为中央对齐计数模式。此种模式下，计数器从 0 开始计数到 $TIM0_ARR$ ，产生计数器上溢事件，然后向下计数到 0，产生计数器下溢事件，之后重新开始从 0 向上计数。此种模式下 $TIM0_CR1[DIR]$ 只读，由硬件根据计数方向进行更新。如果 $TIM0_RCR$ 设置非 0，计数器重复向上/向下计数达到 $TIM0_RCR$ 值时才产生 UEV，否则每次上溢和下溢均产生 UEV。

此种模式下计数器初始是向上还是向下计数取决于 $TIM0_CR1[DIR]$ 的配置，软件不要同时修改 $TIM0_CR1[DIR]$ 和 $TIM0_CR1[CMS]$ 。软件在此计数模式下不要对 $TIM0_CNTR$ 进行写操作。最安

全使用此种模式的方式是在启动计数器前配置 TIM0_EGR[UG]为 1。

4、重复计数器

TIM0_RCR 非 0，计数器上溢或者下溢导致的 UEV 仅在重复计数器的计数值 REP_CNT 计数为 0 时才产生一次，即 TIM0_RCR 用于控制 UEV 的产生频率。REP_CNT 从 TIM0_RCR 开始计数，如下条件满足时减 1：

- 边沿对齐向上计数模式下计数器每次上溢
- 边沿对齐向下计数模式下计数器每次下溢
- 中央对齐计数模式下计数器每次上溢和下溢

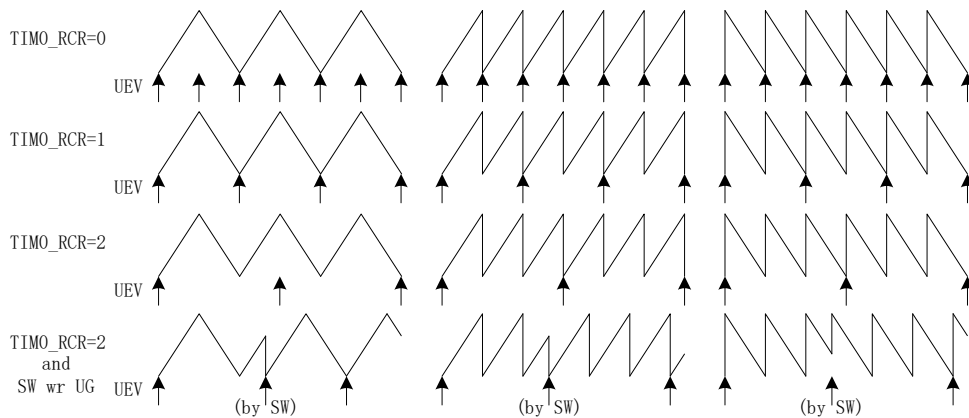


图 14-6 不同模式下 UEV 的更新速率

说明：软件（TIM0_EGR[UG]=1）产生的 UEV 立即发生，不受 REP_CNT 的计数影响，无论重复计数器的值是多少，立即发生更新事件，并且 TIMx_RCR 寄存器中的内容被重载入到重复计数器。

14.1.2 Timer0 时钟控制器

时钟控制器用于产生计数器的计数时钟源 CK_PSC，由预分频器对计数时钟进行分频。预分频器基于一个由 8 位寄存器(TIM0_PSCR)控制的 8 位计数器，时钟源为内部时钟。由于这个控制寄存器带有缓冲器，因此它能够在运行时被改变。预分频器可以将计数器的时钟频率按 1 到 256 之间的任意值分频。

计数器的频率可以由下式计算：

$$f_{CK_CNT} = f_{CK_PSC} / (TIM0_PSCR[7:0] + 1)$$

新的预分频器的值在下次更新事件(UEV)到来时被采用。

对 TIM0_PSCR 寄存器的读操作通过预装载寄存器完成，因此不需要特别的关注。

14.1.3 Timer0 比较输出功能

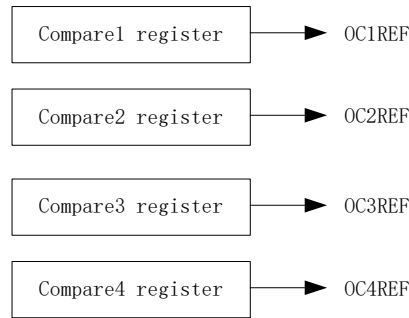


图 14-7 比较输出

Timer0 支持四个通道，每个通道可以配置成比较输出功能。每个通道的内部结构如图 14-8 所示：包括比较寄存器（包括预装载寄存器和影子寄存器）、输出部分（比较器和输出控制）

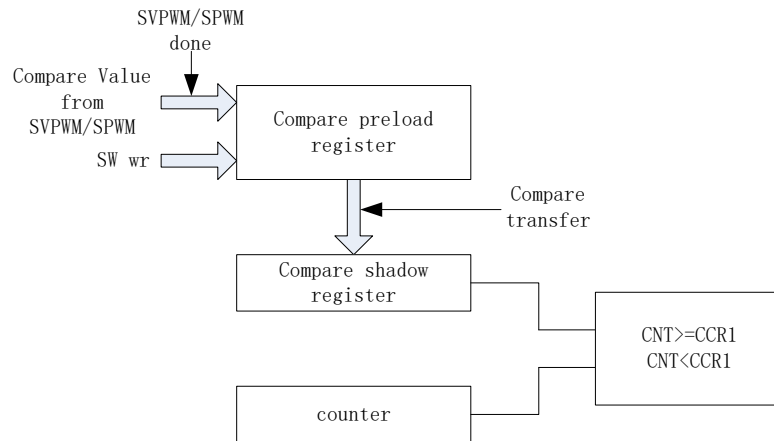


图 14-8 比较输出原理框图

14.1.3.1 比较寄存器

比较寄存器（TIM0_CCRx）包括一个预装载寄存器和一个影子寄存器，数值来源于 SVPWM/SPWM 模块和软件写，软件读/写访问的是预装载寄存器。预装载寄存器中的值复制到影子寄存器中，用于与计数器计数值进行比较。比较相等时设置 TIM0_SR1[CCxIF]，如果 TIM0_IER[CCxE]=1，产生中断。

1、TIM_CCRx 来源于 SVPWM/SPWM：假如使能了 SVPWM/SPWM 模块，当 SVPWM/SPWM 模块运算完毕，会自动将算出 3 路比较值分别存进对应的预装载寄存器。

2、TIM_CCRx 的软件读操作：随时访问，访问的是预装载中的值。

3、TIM_CCRx 的软件写操作：先写高字节，再写低字节，在两步写操作之间预装载寄存器中的值停止复制至影子寄存器。TIM0_CCRx 寄存器的写入支持预装载使能（TIM0_CCMRx[OCxPE]=1）和不使能（TIM0_CCMRx[OCxPE]=0）。不使能预装载时软件写入的值随时更新至影子寄存器；使能预装载时，在下一个 UEV 发生时预装载寄存器中的值更新至影子寄存器。

14.1.3.2 输出模式

每个通道根据配置(TIM0_CCMRx[OCxM])和比较结果产生 OCiREF 信号。

1、强制输出模式

每个通道的输出比较信号 OCxREF 都可以由软件进行配置（配置 TIM0_CCMRx[OCxM]=100 或 101），同时 TIM0_CCRx 的影子寄存器与计数器仍然会进行比较，在匹配发生时配置相关标志和产生中断。

配置 TIM0_CCMRx[OCxM]= 101，输出比较信号强置为有效状态，即 OCxREF 始终为高电平；配置 TIM0_CCMRx[OCxM]= 100，输出比较信号强置为无效状态，即 OCxREF 始终为低电平。

2、输出比较模式

当 TIM0_CCRx 的影子寄存器与计数器计数值相等时，匹配发生：

- a) OCiREF 根据 TIM0_CCMRx[OCxM]配置输出各种状态
保持不变（OCxM=000）
设置为有效电平（OCxM=001）
设置为无效电平（OCxM=010）
翻转（OCxM=011）
- b) 硬件设置 TIM0_SR1[CCxIF]为 1

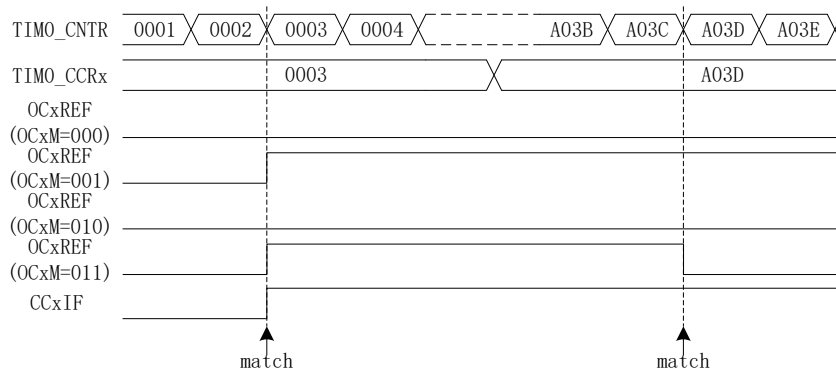


图 14-9 输出比较模式

14.1.3.3 PWM 模式

配置 $TIM0_CCMRx[OCxM]=110$ (PWM 模式 1) / 111 (PWM 模式 2) 时, $OCxREF$ 的输出根据 $TIM0_CCRx$ 的影子寄存器和计数器的比较结果 ($TIM0_CCRx \leq \square TIM0_CNTR$ 或 $TIM0_CNTR \leq TIM0_CCRx$) 输出高或低电平。通过配置计数器的不同计数模式 ($TIM0_CR1[CMS]$ 和 $TIM0_CR1[OPM]$), 可以产生不同的 PWM 输出波形。在此模式下需配置 $TIM0_CCMRx[OCxPE]=1$ 。因为 $TIM0_CCRx$ 的预装载寄存器的值在 UEV 发生时才会更新至影子寄存器, 所以软件在启动计数前设置 $TIM0_EGR[UG]$ 将寄存器进行初始化。

14.1.3.4 PWM 边沿对齐模式

a) 向上计数

配置 $TIM0_CR1[CMS]=00$ 且 $DIR=0$, 计数器进入边沿对齐向上计数模式。当 $TIM0_CNTR=TIM0_CCRx$ 时, 硬件设置 $TIM0_SR1[CCxIF]$ 为 1。如果 $TIM0_CCRx$ 中的比较值大于自动重载值 ($TIM0_ARR$), 则当 $TIM0_CNTR=TIM0_ARR$ 时 $TIM0_SR1[CCxIF]$ 为 '1'。

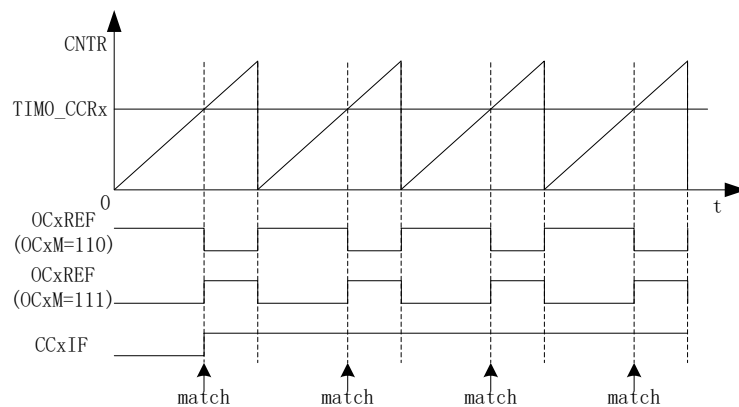


图 14-10 边沿对齐向上计数模式的 PWM 波形

b) 向下计数

配置 $TIM0_CR1[CMS]=00$ 且 $DIR=0$ ，计数器进入边沿对齐向下计数模式。当 $TIM0_CNTR=TIM0_CCRx$ 时，硬件设置 $TIM0_SR1[CCxIF]$ 为 1。如果 $TIM0_CCRx$ 中的比较值大于自动重载值($TIM0_ARR$)，则当 $TIM0_CNTR=0$ 时 $TIM0_SR1[CCxIF]$ 为 '1'。

14.1.3.5 PWM 中央对齐模式

当 $TIM0_CR1[CMS]$ 不为 '00' 时为中央对齐模式(所有其他的配置对 $OCxREF/OCx$ 信号都有相同的作用)。

根据不同的 CMS 位的设置，比较标志 $TIM0_SR1[CCxIF]$ 可以在计数器向上计数，向下计数，或向上和向下计数时被置 1。如果 $TIM0_CCRx$ 中的比较值大于自动重载值($TIM0_ARR$)，则当 $TIM0_CNTR=TIM0_ARR$ 时 $TIM0_SR1[CCxIF]$ 为 '1'。 $TIM0_CR1$ 寄存器中的计数方向位(DIR)由硬件更新，不要用软件修改它。

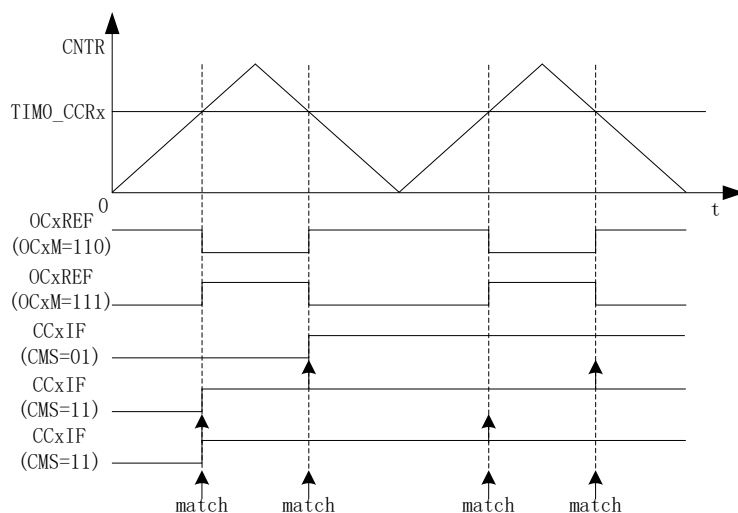


图 14-11 中央对齐计数模式的 PWM 波形

14.1.4 互补输出及通道 4 输出

$TIM0_OC1/TIM0_OC1N$ 、 $TIM0_OC2/TIM0_OC2N$ 、 $TIM0_OC3/TIM0_OC3N$ 是 $TIMER0$ 的三对互补输出，支持死区插入。通道 4 的输出独立，无死区插入。如图 14-12 所示。

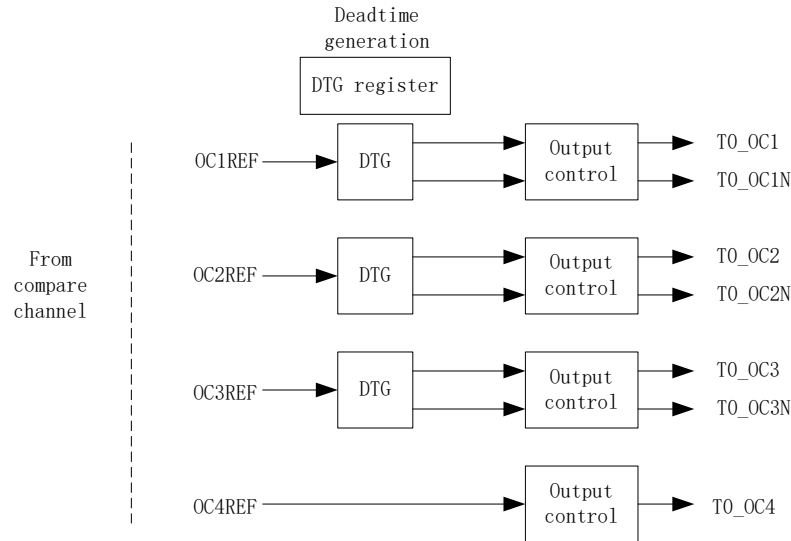


图 14-12 通道 4 输出模块框图

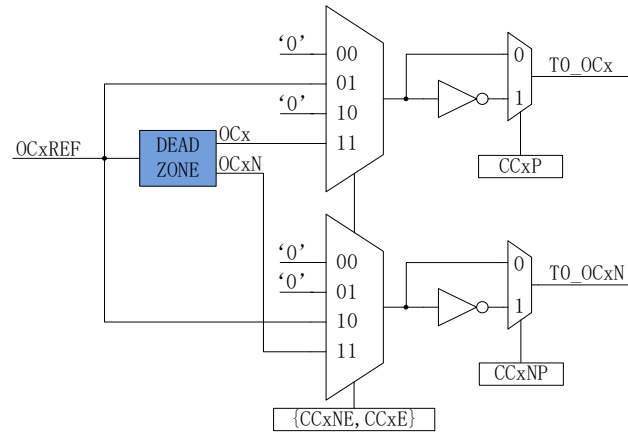


图 14-13 带死区互补输出的输出框图

对于输出,通过配置 TIM0_CCERx 寄存器的 CCxE 和 CCxNE,可以选择输出模式为无效电平,原始输出 OCxREF 或者插入死区的互补输出。TIM0_CCERx 寄存器的 CCxP 配置输出的极性。例如,配置 CCxNE=1, CCxE=0, CCxNP=0, 则 TO_OCxN=OCxREF, 不再是互补输出。

当某个通道配置为互补输出时, OCxM/CCxE/CCxNE 支持预装载, 这些位仅在 commutation(COM)事件发生时才更新给实际使用的寄存器。这样, 软件可以提前对这些位进行配置,待 COM 事件发生时同步更新。COM 事件可以由软件配置产生(TIM0_EGR[COMG]设置为 1)。当 COM 事件发生时 TIM0_SR[COMIF]标志置 1, 同时如果 TIM0_IER[COMIE]为 1, 产生中断。

对于互补输出, 如果配置 CCxE/CCxNE 为 1, 就使能了死区插入。每个通道都有一个 8 位的死区发生器。三个通道的死区延时相同, 由同一个寄存器(TIM0_DTR)配置。当 OCxREF 上升沿发生时, OCx 的实际输出高电平比 OCxREF 的上升沿延迟 TIM0_DTR 设定的时间; 当 OCxREF 下降沿发生时, OCxN 的实际输出高电平比 OCxREF 的下降沿延迟 TIM0_DTR 设定的时间。如果延迟时间大于实际输出的脉宽, 那么对应的通道脉宽不延迟, 相反的通道脉宽不产生。

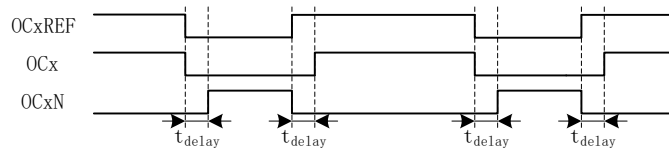


图 14-14 带死区插入的互补输出

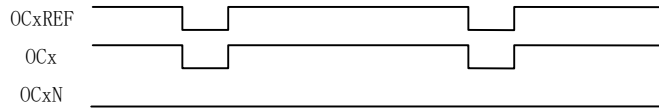


图 14-15 死区时间大于负电平

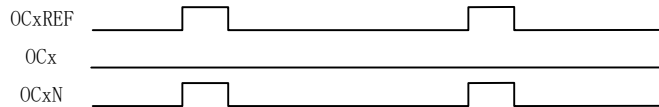


图 14-16 死区时间大于正电平

14.1.5 Timer0 中断

Timer0 有 6 个中断请求源：

- 1、 触发事件 COM 中断
- 2、 输出比较中断：共 4 个
- 3、 更新中断

配置 TIM0_IER 对应 bit 可以使能中断请求，软件可以通过配置 TIM0_EGR 对应位产生对应中断。

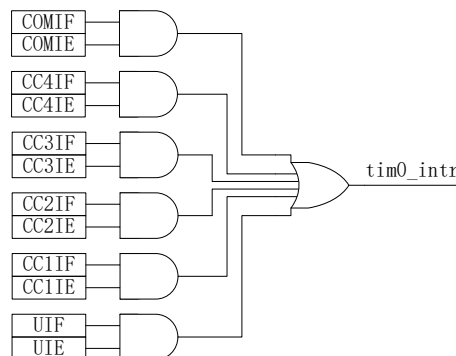


图 14-17 TIMR0 中断源

14.2 Timer0 寄存器

14.2.1 TIM0_CR (0x4058)

表 14-1 TIM0_CR (0x4058)

位	7	6	5	4	3	2	1	0
名称	ARPE	CMS		DIR	OPM	URS	UDIS	T0CEN
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	ARPE	Auto-reload preload enable (自动预装载使能) 0: TIM0_ARR 可以直接写入 1: TIM0_ARR 由预装载缓冲器缓冲
[6:5]	CMS	Center-aligned mode selection (中央对齐模式选择) 00: 边沿对齐模式。计数器依据方向位(DIR)向上或向下计数。 01: 中央对齐模式 1。计数器交替地向上和向下计数。配置为输出的通道(TIM0_CCMRx 寄存器中 CCxS=00)的输出比较中断标志位, 只在计数器向下计数时被置 1。 10: 中央对齐模式 2。计数器交替地向上和向下计数。配置为输出的通道(TIM0_CCMRx 寄存器中 CCxS=00)的输出比较中断标志位, 只在计数器向上计数时被置 1。 11: 中央对齐模式 3。计数器交替地向上和向下计数。配置为输出的通道(TIM0_CCMRx 寄存器中 CCxS=00)的输出比较中断标志位, 在计数器向上和向下计数时均被置 1。 注 1: 在计数器开启时(CEN=1), 不允许从边沿对齐模式转换到中央对齐模式。
[4]	DIR	Direction (方向) 0: 计数器向上计数; 1: 计数器向下计数。 注: 当计数器配置为中央对齐模式时, 该位为只读。
[3]	OPM	One-pulse mode (单脉冲模式) 0: 在发生更新事件时, 计数器不停止; 1: 在发生下一次更新事件(清除 T0CEN 位)时, 计数器停止。
[2]	URS	Update request source (更新请求来源) 0: 如果 UDIS 允许产生更新事件, 则下述任一事件产生一个更新中断: --寄存器被更新(计数器上溢/下溢) --软件设置 UG 位 1: 如果 UDIS 允许产生更新事件, 则只有当下列事件发生时才产生更新中断, 并 UIF 置 1: --寄存器被更新(计数器上溢/下溢)
[1]	UDIS	Update disable (禁止更新) 0: 一旦下列事件发生, 产生更新(UEV)事件:

		--计数器溢出/下溢 --产生软件更新事件 被缓存的寄存器被装入它们的预装载值。 1: 不产生更新事件，影子寄存器(Arr、PSC、CCRx)保持它们的值。如果设置了UG位，则计数器和预分频器被重新初始化。
[0]	T0CEN	Counter enable (计数器使能) 0: 禁止计数器; 1: 使能计数器。

14.2.2 TIM0_IER (0xB9)

表 14-2 TIM0_IER (0xB9)

位	7	6	5	4	3	2	1	0
名称	RSV		COMIE	CC4IE	CC3IE	CC2IE	CC1IE	UIE
类型	R	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述	R/W	复位值
[7:6]	RSV	保留位	R	0x0
[5]	COMIE	Commutation interrupt enable (COM 中断使能) 0: 禁止COM中断 1: 使能COM中断	RW	0x0
[4]	CC4IE	Compare channel 4 interrupt enable (比较通道4中断使能) 0: 禁止比较通道4中断 1: 使能比较通道4中断	RW	0x0
[3]	CC3IE	Compare channel3 interrupt enable (比较通道3中断使能) 0: 禁止比较通道3中断 1: 使能比较通道3中断	RW	0x0
[2]	CC2IE	Compare channel2 interrupt enable (比较通道2中断使能) 0: 禁止比较通道2中断 1: 使能比较通道2中断	RW	0x0
[1]	CC1IE	Compare channel1 interrupt enable (比较通道1中断使能) 0: 禁止比较通道1中断 1: 使能比较通道1中断	RW	0x0
[0]	UIE	Update interrupt enable (更新事件中断使能) 0: 禁止更新事件中断 1: 使能更新事件中断	RW	0x0

14.2.3 TIM0_SR (0xB1)

表 14-3 TIM0_SR (0xB1)

位	7	6	5	4	3	2	1	0
名称	RSV		COMIF	CC4IF	CC3IF	CC2IF	CC1IF	UIF
类型	R/W	R/W	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:6]	RSV	保留位
[5]	COMIF	Commutation interrupt flag (COM中断标记) 一旦产生 COM 事件(当比较控制位: CCxE、CCxNE、OCxM 已被更新)该位由硬件置 1。它由软件清 0。 0: 无 COM 事件产生 1: COM 中断等待响应
[4]	CC4IF	compare channel 4 interrupt flag (比较通道4中断标记) 参考CC1IF描述
[3]	CC3IF	compare channel 3 interrupt flag (比较通道3中断标记) 参考CC1IF描述
[2]	CC2IF	compare channel 2 interrupt flag (比较通道2中断标记) 参考CC1IF描述
[1]	CC1IF	compare channel 1 interrupt flag (比较通道1中断标记) 当计数器值与比较值匹配时该位由硬件置1,但在中心对称模式下除外(参考TIM0_CR1寄存器的CMS位)。它由软件清0。 0: 无匹配发生 1: TIM0_CNT的值与TIM0_CCR1的值匹配 注: 如果TIM0_CCR1>TIM0_ARR,在中心对称模式或者边沿对齐向上计数模式下,当TIM0_CNT达到TIM0_ARR值(向上溢出)时,CC1IF置1;在边沿对齐向下计数模式下,当CNT达到0值(向下溢出)时,CC1IF置1。
[0]	UIF	Update interrupt flag (更新事件中中断标记) 当产生更新事件时该位由硬件置1。它由软件清0。 0: 无更新事件产生 1: 更新事件等待响应。当寄存器被更新时该位由硬件置1: --若TIM0_CR1寄存器的UDIS=0,当计数器上溢或下溢时; --若TIM0_CR1寄存器的UDIS=0、URS=0,当设置TIM0_EGR寄存器的UG位软件对计数器TIM0_CNT重新初始化时;

14.2.4 TIM0_EGR (0x4059)

表 14-4 TIM0_EGR (0x4059)

位	7	6	5	4	3	2	1	0
名称	RSV		COMG	CC4G	CC3G	CC2G	CC1G	UG
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:6]	RSV	保留位
[5]	COMG	compare control update generation (COM中断产生) 该位由软件置1, 由硬件自动清0。 0: 无动作; 1: 当TIM0_CR2寄存器的CCPC=1, 允许更新CCxE、CCxNE、CCxP, CCxNP, OCxM位。 注: 该位只对拥有互补输出的通道有效。
[4]	CC4G	compare channel 4 generation (比较通道4中断产生) 参考CC1G描述
[3]	CC3G	compare channel 3 generation (比较通道3中断产生) 参考CC1G描述
[2]	CC2G	compare channel 2 generation (比较通道2中断产生) 参考CC1G描述
[1]	CC1G	compare channel 1 generation (比较通道1中断产生) 该位由软件置1, 用于产生一个捕获/比较事件, 由硬件自动清0。 0: 无动作; 1: 在通道1上产生一个捕获/比较事件: 设置CC1IF=1, 若开启对应的中断, 则产生相应的中断。
[0]	UG	Update generation (更新事件中断产生) 该位由软件置1, 由硬件自动清0。 0: 无动作; 1: 重新初始化计数器, 并产生一个更新事件。注意预分频器的计数器也被清0(但是预分频系数不变)。若在中心对称模式下或DIR=0(向上计数)则计数器被清0; 若DIR=1(向下计数)则计数器取TIM0_ARR的值。

14.2.5 TIM0_CCMR1 (0x405A)

表 14-5 TIM0_CCMR1 (0x405A)

位	7	6	5	4	3	2	1	0
名称	OC2M			OC2PE	OC1M			OC1PE
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:5]	OC2M	Output compare 2 mode (输出比较2模式) 参考OC1M描述
[4]	OC2PE	Output compare 2 preload enable (输出比较2预装载使能) 参考OC1PE描述
[3:1]	OC1M	Output compare 1 mode (输出比较1模式) 该3位定义了输出参考信号OC1REF的动作, 而OC1REF决定了T0_OC1和T0_OC1N的值。

		<p>000: 冻结。输出比较寄存器TIM0_CCR1与计数器TIM0_CNT间的比较对OC1REF不起作用;</p> <p>001: 匹配时设置通道1的输出为有效电平。当计数器TIM0_CNT的值与捕获/比较寄存器1 (TIM0_CCR1)相同时, 强制OC1REF为高。</p> <p>010: 匹配时设置通道1的输出为无效电平。当计数器TIM0_CNT的值与捕获/比较寄存器1 (TIM0_CCR1)相同时, 强制OC1REF为低。</p> <p>011: 翻转。当TIM0_CCR1=TIM0_CNT时, 翻转OC1REF的电平。</p> <p>100: 强制为无效电平。强制OC1REF为低。</p> <p>101: 强制为有效电平。强制OC1REF为高。</p> <p>110: PWM模式1—在向上计数时, 一旦TIM0_CNT<TIM0_CCR1时通道1为有效电平, 否则为无效电平; 在向下计数时, 一旦TIM0_CNT>TIM0_CCR1时通道1为无效电平(OC1REF=0), 否则为有效电平(OC1REF=1)。</p> <p>111: PWM模式2—在向上计数时, 一旦TIM0_CNT<TIM0_CCR1时通道1为无效电平, 否则为有效电平; 在向下计数时, 一旦TIM0_CNT>TIM0_CCR1时通道1为有效电平, 否则为无效电平。</p> <p>注1: 在PWM模式1或PWM模式2中, 只有当比较结果改变了或在输出比较模式中从冻结模式切换到PWM模式时, OC1REF电平才改变。</p> <p>注2: 在有互补输出的通道上, 这些位是预装载的。如果TIM0_CR2寄存器的CCPC=1, OCM位只有在COM事件发生时, 才从预装载位取新值。</p>
[0]	OC1PE	<p>Output compare 1 preload enable (输出比较1预装载使能)</p> <p>0: 禁止TIM0_CCR1寄存器的预装载功能, 可随时写入TIM0_CCR1寄存器, 并且新写入的数值立即起作用。</p> <p>1: 开启TIM0_CCR1寄存器的预装载功能, 读写操作仅对预装载寄存器操作, TIM0_CCR1的预装载值在更新事件到来时被加载至当前寄存器中。</p> <p>注: 为了操作正确, 在PWM模式下必须使能预装载功能。但在单脉冲模式下(TIM0_CR1寄存器的OPM=1), 它不是必须的。</p>

14.2.6 TIM0_CCMR2 (0x405B)

表 14-6 TIM0_CCMR2 (0x405B)

位	7	6	5	4	3	2	1	0
名称	OC4M			OC4PE	OC3M			OC3PE
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:5]	OC4M	Output compare 4 mode (输出比较4模式) 参考OC1M描述
[4]	OC4PE	Output compare 4 preload enable (输出比较4预装载使能) 参考OC1PE描述
[3:1]	OC3M	Output compare 3 mode (输出比较3模式) 参考OC1M描述
[0]	OC3PE	Output compare 3 preload enable (输出比较3预装载使能) 参考OC1PE描述

14.2.7 TIM0_CCER1 (0x405C)

表 14-7 TIM0_CCER1 (0x405C)

位	7	6	5	4	3	2	1	0
名称	CC2NP	CC2NE	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	CC2NP	compare channel 2 complementary output polarity (比较通道2互补输出极性) 参考CC1NP描述
[6]	CC2NE	compare channel 2 complementary output enable (比较通道2互补输出极性) 参考CC1NE描述
[5]	CC2P	compare channel 2 output polarity (比较通道2输出极性) 参考CC1P描述
[4]	CC2E	compare channel 2 output enable (比较通道2输出使能) 参考CC1E描述
[3]	CC1NP	compare channel 1 complementary output polarity (比较通道1互补输出极性) 0: T0_OC1N高电平有效; 1: T0_OC1N低电平有效。 注: 对于有互补输出的通道, 该位是预装载的。如果CCPC=1(TIM0_CR2寄存器), 只有在COM事件发生时, CC1NP位才从预装载位中取新值。
[2]	CC1NE	compare channel 1 complementary output enable (比较通道1互补输出使能) 0: 关闭-禁止T0_OC1N输出 1: 开启-使能T0_OC1N输出 注: 对于有互补输出的通道, 该位是预装载的。如果CCPC=1(TIM0_CR2寄存器), 只有在COM事件发生时, CC1NE位才从预装载位中取新值。当CC1E和CC1NE同时为1, T0_OC1和T0_OC1N的输出自动插入死区。
[1]	CC1P	compare channel 1 output polarity (比较通道1输出极性) 0: T0_OC1高电平有效; 1: T0_OC1低电平有效。 注: 对于有互补输出的通道, 该位是预装载的。如果CCPC=1(TIM0_CR2寄存器), 只有在COM事件发生时, CC1P位才从预装载位中取新值。
[0]	CC1E	compare channel 1 output enable (比较通道1输出使能) 0: 关闭-禁止T0_OC1输出 1: 开启-使能T0_OC1输出 注: 对于有互补输出的通道, 该位是预装载的。如果CCPC=1(TIM0_CR2寄存器), 只有在COM事件发生时, CC1E位才从预装载位中取新值。当CC1E和CC1NE同时为1, T0_OC1和T0_OC1N的输出自动插入死区。

14.2.8 TIM0_CCER2 (0x405D)

表 14-8 TIM0_CCER2 (0x405D)

位	7	6	5	4	3	2	1	0
名称	RSV	CCPC	CC4P	CC4E	CC3NP	CC3NE	CC3P	CC3E
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	RSV	保留位
[6]	CCPC	compare preloaded control (捕获/比较预装载控制位) 0: CCxE, CCxNE, CCxP, CCxNP 位(TIM0_CCERx 寄存器)和 OCxM 位(TIM0_CCMRx 寄存器)不是预装载的; 1: CCxE, CCxNE, CCxP, CCxNP 和 OCxM 位是预装载的; 设置该位后, 它们只在设置了 COMG 位(TIM0_EGR 寄存器)后被更新。 注: 该位只对具有互补输出的通道起作用。
[5]	CC4P	compare channel 4 output polarity (比较通道4输出极性) 参考CC1P描述
[4]	CC4E	compare channel 4 output enable (比较通道4输出使能) 参考CC1E描述
[3]	CC3NP	compare channel 3 complementary output polarity (比较通道3互补输出极性) 参考CC1NP描述
[2]	CC3NE	compare channel 3 complementary output enable (比较通道3互补输出极性) 参考CC1NE描述
[1]	CC3P	compare channel 3 output polarity (比较通道3输出极性) 参考CC1P描述
[0]	CC3E	compare channel 3 output enable (比较通道3输出使能) 参考CC1E描述

14.2.9 TIM0_CNTR (0x405E , 0x405F)

表 14-9 TIM0_CNTRH (0x405E)

位	7	6	5	4	3	2	1	0
名称	TIM0_CNTRH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 14-10 TIM0_CNTRL (0x405F)

位	7	6	5	4	3	2	1	0
名称	TIM0_CNTRL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM0_CNTR	计数器的计数值

14.2.10 TIM0_PSCR (0x4062)

表 14-11 TIM0_PSCR (0x4062)

位	7	6	5	4	3	2	1	0
名称	TIM0_PSCR							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	TIM0_PSCR	Prescaler value (预分频器的分频值) 预分频器用于对CK_PSC进行分频。 计数器的时钟频率(fCK_CNT)等于fCK_PSC/(PSCR[7:0]+1)。 PSCR包含了当更新事件产生时装入当前预分频器寄存器的值(更新事件包括计数器被TIM0_EGR的UG位清0)。这意味着为了使新的值起作用, 必须产生一个更新事件。

14.2.11 TIM0_ARR (0x4060 , 0x4061)

表 14-12 TIM0_ARRH (0x4060)

位	7	6	5	4	3	2	1	0
名称	TIM0_ARRH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 14-13 TIM0_ARRL (0x4061)

位	7	6	5	4	3	2	1	0
名称	TIM0_ARRL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM0_ARR	Auto-reload value (自动重载值) ARR包含了将要装载入实际的自动重装载寄存器的值。 当自动重装载的值为空时, 计数器不工作。

14.2.12 TIM0_RCR (0x4063)

表 14-14 TIM0_RCR (0x4063)

位	7	6	5	4	3	2	1	0
名称	TIM0_RCR							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	TIM0_RCR	<p>Repetition counter value (重复计数器的值)</p> <p>开启了预装载功能后, 这些位允许用户设置比较寄存器的更新速率(即周期性地从预装载寄存器传输到当前寄存器); 如果允许产生更新中断, 则会同时影响产生更新中断的速率。</p> <p>每次向下计数器REP_CNT达到0, 会产生一个更新事件并且计数器REP_CNT重新从REP值开始计数。由于REP_CNT只有在周期更新事件发生时才重载REP值, 因此对TIM0_RCR寄存器写入的新值只在下次周期更新事件发生时才起作用。</p> <p>这意味着在PWM模式中, (REP+1)对应着:</p> <ul style="list-style-type: none"> --在边沿对齐模式下, PWM周期的数目; --在中心对称模式下, PWM半周期的数目;

14.2.13 TIM0_CCR1 (0xB6 , 0xB7)

表 14-15 TIM0_CCR1H (0xB7)

位	7	6	5	4	3	2	1	0
名称	TIM0_CCR1H							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 14-16 TIM0_CCR1L (0xB6)

位	7	6	5	4	3	2	1	0
名称	TIM0_CCR1L							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM0_CCR1	<p>compare channel 1 value (比较通道1的比较值)</p> <p>CCR1包含了装入当前比较通道1寄存器的值(预装载值)。</p> <p>如果在TIM0_CCMR1寄存器(OC1PE位)中未选择预装载功能, 写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时, 此预装载值才传输至当前比较通道1寄存器中。</p> <p>如果使能了SVPWM/SPWM功能, 则当SVPWM/SPWM运算结束后自动将对应的结果存进当前比较通道1寄存器中。详细请参考第14.1.3节</p> <p>当前比较通道1寄存器的值同计数器TIM0_CNT的值相比较产生OC1REF信号。</p>

14.2.14 TIM0_CCR2 (0xBA , 0xBB)

表 14-17 TIM0_CCR2H (0xBB)

位	7	6	5	4	3	2	1	0
名称	TIM0_CCR2H							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 14-18 TIM0_CCR2L (0xBA)

位	7	6	5	4	3	2	1	0
名称	TIM0_CCR2L							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM0_CCR2	compare channel 2 value (比较通道2的比较值) CCR2包含了装入当前比较通道2寄存器的值(预装载值)。 如果在TIM0_CCMR1寄存器(OC2PE位)中未选择预装载功能, 写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时, 此预装载值才传输至当前比较通道2寄存器中。 如果使能了SVPWM/SPWM功能, 则当SVPWM/SPWM运算结束后自动将对应的结果存进当前比较通道2寄存器中。详细请参考第14.1.3节。 当前比较通道2寄存器的值同计数器TIM0_CNT的值相比较产生OC2REF信号。

14.2.15 TIM0_CCR3 (0xBC, 0xBD)

表 14-19 TIM0_CCR3H (0xBD)

位	7	6	5	4	3	2	1	0
名称	TIM0_CCR3H							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 14-20 TIM0_CCR3L (0xBC)

位	7	6	5	4	3	2	1	0
名称	TIM0_CCR3L							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM0_CCR3	compare channel 3 value (比较通道3的比较值) CCR3包含了装入当前比较通道3寄存器的值(预装载值)。 如果在TIM0_CCMR2寄存器(OC3PE位)中未选择预装载功能, 写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时, 此预装载值才传输至当前比较通道3寄存器中。 如果使能了SVPWM/SPWM功能, 则当SVPWM/SPWM运算结束后自动将对应的结果存进当前比较通道3寄存器中。详细请参考第14.1.3节。 当前比较通道3寄存器的值同计数器TIM0_CNT的值相比较产生OC3REF信号。

14.2.16 TIM0_CCR4 (0xBE , 0xBF)

表 14-21 TIM0_CCR4H (0xBF)

位	7	6	5	4	3	2	1	0
名称	TIM0_CCR4H							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 14-22 TIM0_CCR4L (0xBE)

位	7	6	5	4	3	2	1	0
名称	TIM0_CCR4L							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM0_CCR4	compare channel 4 value (比较通道4的比较值) CCR4包含了装入当前比较通道4寄存器的值(预装载值)。 如果在TIM0_CCMR2寄存器(OC4PE位)中未选择预装载功能,写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时,此预装载值才传输至当前比较通道4寄存器中。 当前比较通道4寄存器的值同计数器TIM0_CNT的值相比较产生OC4REF信号。

14.2.17 TIM0_DTR (0x4064)

表 14-23 TIM0_DTR (0x4064)

位	7	6	5	4	3	2	1	0
名称	TIM0_DTR							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	DTR[7:0]	Deadtime (死区时间) DTR为插入互补输出之间的死区持续时间。假设MCU时钟为24MHZ(41.67ns) $DT = (DTR + 1) \times 41.67ns$ 注: 当DTR=0, 不插入死区

15 TIMER1(TIM1)

15.1 Timer1 操作说明

Timer1 包含一个 16 位向上计数的基本定时器和一个 16 位向下计数的重载定时器,两个定时器

的计数源均为内部时钟。Timer1 具有如下特性：

1. 16 位向上计数的基本定时器用于记录基本定时器启动到位置检测或者写入时序的时间
2. 16 位向下计数的重载定时器用于计时：位置检测到重载定时器下溢的时间
3. 4-bit 可编程分频器对两个定时器的计数时钟进行分频
4. 输入滤波和采样
5. 位置检测模块根据输入信号产生位置检测信号
6. 写入时序模块更新输出状态寄存器
7. 6 通道可配置为如下功能：
 - a) PWM 生成
 - b) 多步 PWM 生成
 - c) 单脉冲模式输出
 - d) 支持死区插入的 3 组互补输出
8. 中断事件产生
 - a) 基本定时器的上溢中断
 - b) 重载定时器的下溢中断
 - c) 写入时序中断
 - d) 位置检测中断
 - e) 比较中断

Timer1 主要应用于 6 步/12 步的电机控制，可以根据不同需求输出不同调制方式的 PWM 波形。

Timer1 内部结构如图 15-1 所示。

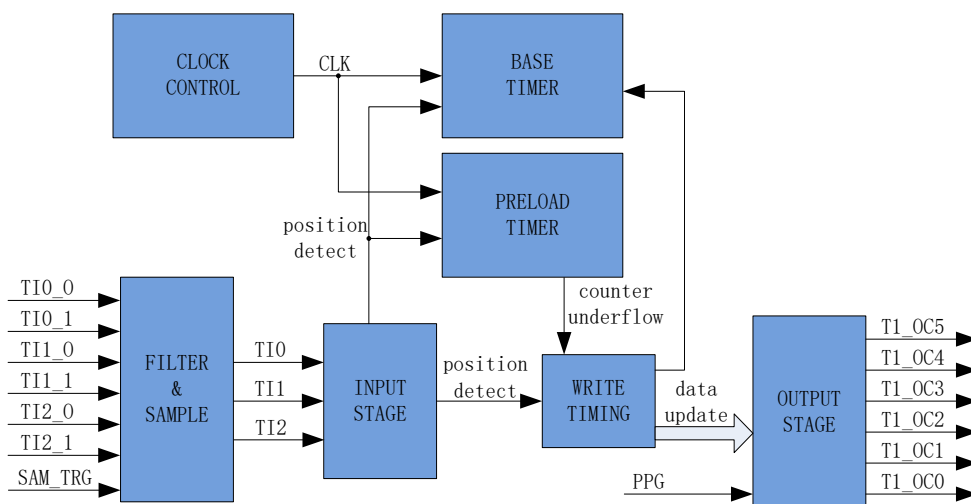


图 15-1 Timer1 内部结构

15.1.1 Timer 计数单元

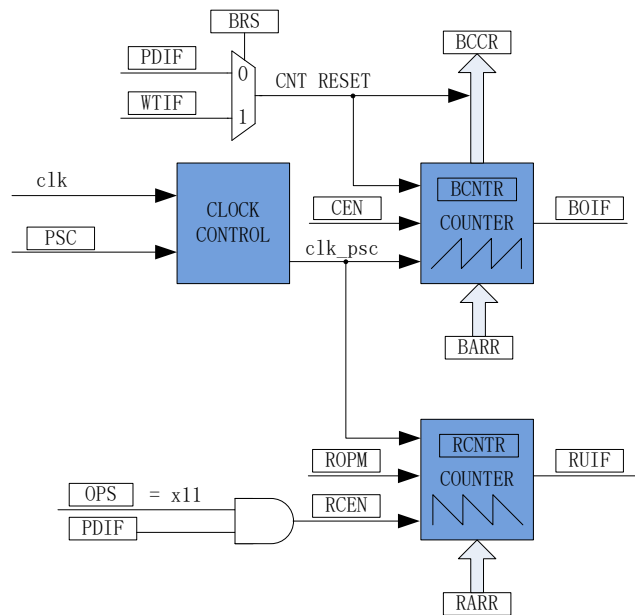


图 15-2 时基单元

Timer1 包含一个分频器，一个 16 位向上计数的基本定时器，一个 16 位向下计数的重载定时器。

15.2.1.1 Timer clock 控制器

Timer clock 控制器用于产生基本定时器和重载定时器的计数时钟源，由预分频器对计数时钟进行分频。预分频器基于一个由 4 位寄存器 PSC 控制的 12 位计数器，可选择 16 种分频系数，时钟源为内部时钟。由于这个控制寄存器没有缓冲器，分频系数改变会立刻更新，所以应该在基本定时器和重载定时器都不工作时更新分频系数。

计数器的频率可以由下式计算：

$$f_{CK_CNT} = f_{CK_PSC} / PSC$$

假设 MCU 时钟为 24MHZ(41.67ns)

表 15-1 寄存器 PSC 不同值对应的时钟频率

PSC	系数(16进制)	CLK(HZ)	PSC	系数(16进制)	CLK(HZ)
0000	0x1	24M	1000	0x100	93.75K
0001	0x2	12M	1001	0x200	46.875K
0010	0x4	6M	1010	0x400	23.4375K
0011	0x8	3M	1011	0x600	15.625K
0100	0x10	1.5M	1100	0x800	11.71875K
0101	0x20	750K	1101	0xa00	9.375K
0110	0x40	375K	1110	0xc00	7.8125K
0111	0x80	187.5K	1111	0xe00	6.6964K

15.2.1.2 基本定时器

基本定时器包含一个 16 位向上计数的计数器，当计数值 TIM1_BCNTR 等于 TIM1_BARR，产生上溢事件，基本定时器上溢中断标记 BOIF 置一，同时 TIM1_BCNTR 清零重新开始计数。TIM1_CR2 寄存器的 BRS 选择计数器的复位事件来自位置检测事件还是写入时序事件，当事件复位信号产生，当前的计数值 TIM1_BCNTR 存进 TIM1_BCCR 寄存器，同时 TIM1_BCNTR 清零重新开始计数。

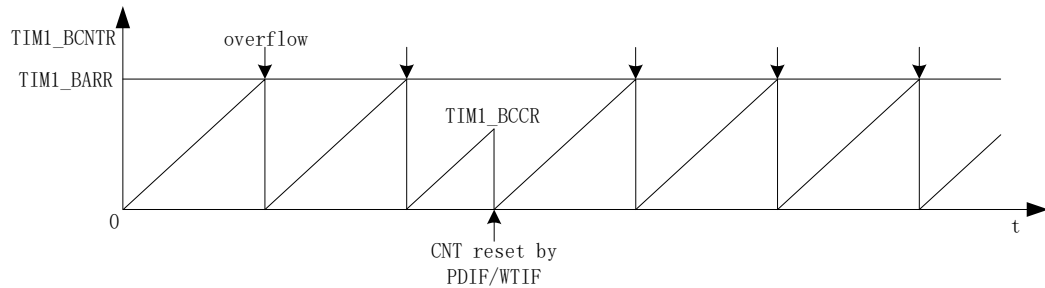


图 15-3 基本定时器计数波形图

TIM1_BARR 寄存器的值是立刻作用于计数器，所以应该在基本定时器停止工作的时候更新寄存器。只有当计数值 TIM1_BCNTR 等于 TIM1_BARR，才会产生上溢事件，假如 TIM1_BCNTR 大于 TIM1_BARR，TIM1_BCNTR 会计数到 0xFFFF 后再从 0 开始计数，因此，在寄存器复初始值时要注意 TIM1_BCNTR 不能大于 TIM1_BARR。

15.2.1.3 重载定时器

重载定时器包含一个 16 位向下计数的计数器，当计数值 TIM1_RCNTNTR 计数到 0，产生下溢事件，重载定时器下溢中断标记 RUIF 置一，同时 TIM1_RCNTNTR 重载 TIM1_RARR 寄存器的值。当 TIM1_CR1 寄存器的 ROPM 为一，即开启了单次模式，重载定时器只启动一次，当 TIM1_RCNTNTR 计数到 0，产生下溢事件，TIM1_RCNTNTR 重载 TIM1_RARR 寄存器的值，然后硬件自动将 TIM1_CR1 寄存器的 T1RCEN 清零。

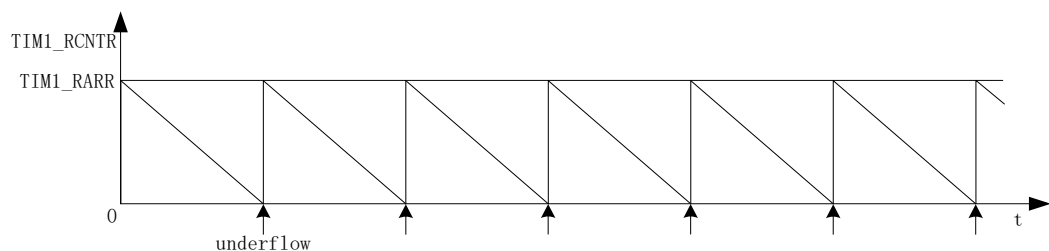


图 15-4 重载定时器计数波形图

TIM1_CR1 寄存器的 T1RCEN 可以软件写以外，也可以配置 TIM1_CR3 寄存器的 OPS 等于 011/111，当位置检测事件发生，T1RCEN 会硬件置一。

15.1.2 输入滤波和采样

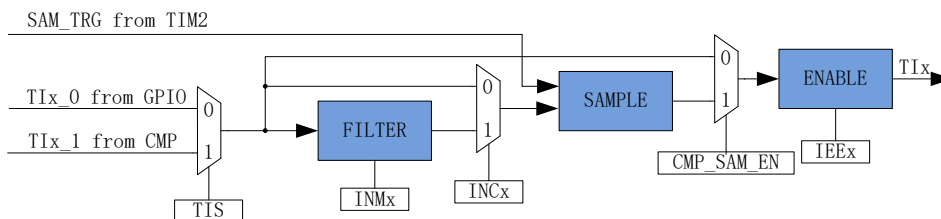


图 15-5 输入信号滤波和采样原理图

TIM1_CR2 寄存器的 TIS 选择输入源来自比较器还是 GPIO，输入可选择是否进行噪声滤波，然后选择是否采样，TIM1_CR0 寄存器的 IEE2/IEE1/IEE0=1 使能输入检测，否则 TI2/TI1/TI0 输入恒为无效电平。

15.1.2.1 滤波

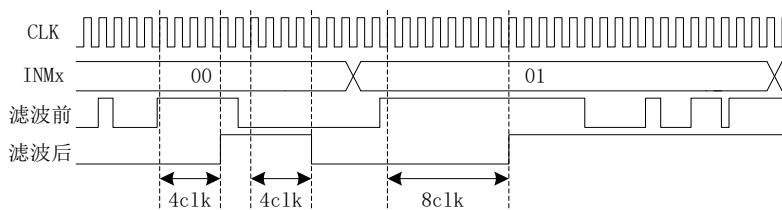


图 15-6 滤波模块时序图

滤波电路根据 TIM1_CR2 寄存器的 TIx 可选择滤除脉宽为 4/8/16/32 时钟周期的输入噪声。使能滤波功能，滤波后的信号会比滤波前的信号大概延迟 4~5/8~9/16~17/32~33 时钟周期。

15.1.2.2 采样

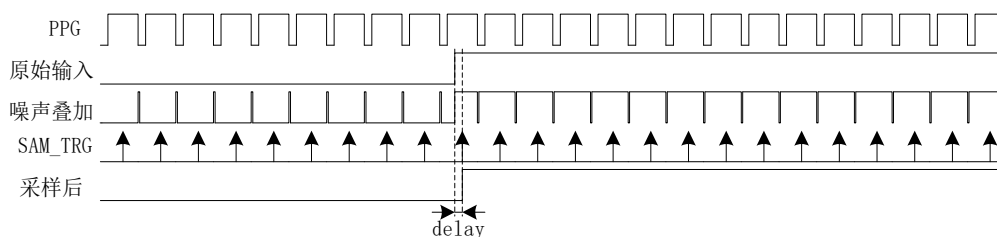


图 15-7 采样模块时序图

采样电路主要应用于无 HALL 6 步/12 步的电机控制，在无 HALL 电机控制模式下，TI2/TI1/TI0 输入来源于比较器，由于比较器的输出有可能受到外围驱动电路 MOS 开关的干扰，从而带有 PPG 信号的干扰噪声。采样电路的采样点来自于 TIMER2，通过软件配置 TIM2_CMTR 寄存器，可以实现在 PPG 周期信号的任意位置对输入信号进行采样，从而消除噪声。使能采样功能，会导致信号存在不确定的延迟，延迟范围为 0 到采样周期。

15.1.3 位置检测事件

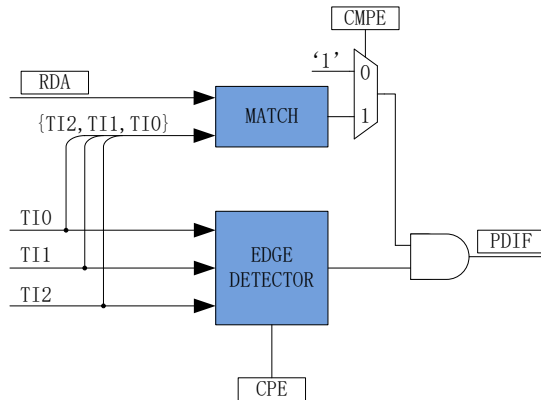


图 15-8 位置检测原理框图

位置检测事件可由以下两种事件产生,位置检测中断标记 PDIF 置一:通过检测输入(TI2/TI1/TI0)的有效沿或者输入 (TI2/TI1/TI0) 和 RDA[2: 0]因输入 (TI2/TI1/TI0) 的有效沿触发而产生匹配。

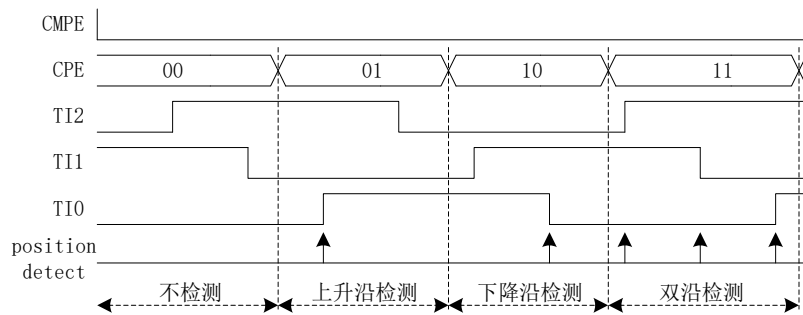


图 15-9 CMPE=0 位置检测时序图

TIM1_CR1 寄存器的 CPME 为 0 时, TIM1_CR0 寄存器的 CPE 决定输入的有效沿 (不检测/上升沿/下降沿/双沿), 当输入 (TI2/TI1/TI0) 的有效沿到来, 位置检测事件产生。

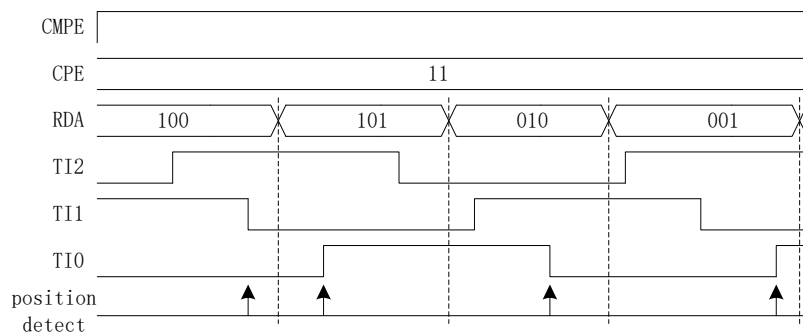


图 15-10 CMPE=1 位置检测时序图

TIM1_CR1 寄存器的 CPME 为 1 时, TIM1_CR0 寄存器的 CPE 决定输入的有效沿 (不检测/上升沿/下降沿/双沿), 当输入 (TI2/TI1/TI0) 的有效沿到来, TI2/TI1/TI0 电平发生变化, 与 RDA[2: 0]的值匹配时, 位置检测事件产生。

15.1.4 写入时序事件

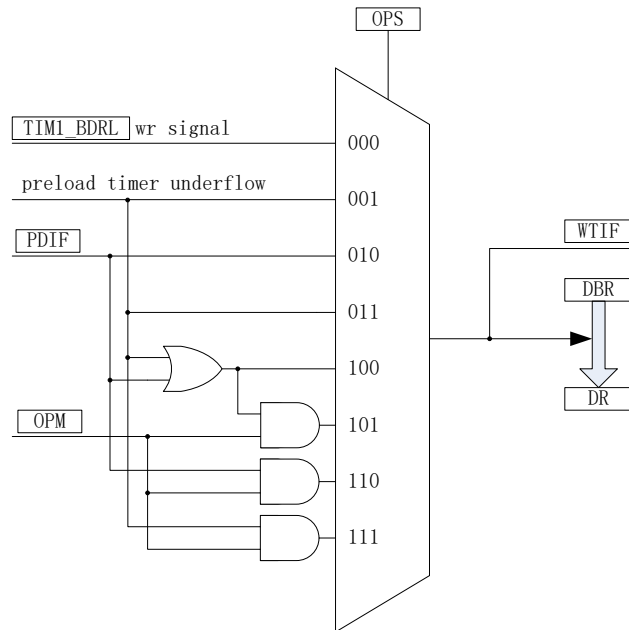


图 15-11 写入时序框图

写入时序事件根据 TIM1_CR3 寄存器的 OPS 决定事件产生来源，写入时序事件产生后，写入时序中断标记 WTIF 置一，同时 TIM1_DBRH/TIM1_DBRL 的值装载到 TIM1_DRH/TIM1_DRL。

15.1.5 输出

TIMER1 具有 6 个输出，TIM1_OC0/TIM1_OC1、TIM1_OC2/TIM1_OC3、TIM1_OC4/TIM1_OC5 是 TIMER1 的三对互补输出，支持死区插入。原始输出信号 PPG 由 TIMER2 产生，配置 TIM1_CR1 寄存器的 WTS 选择数据更新后输出与 PPG 信号边沿的同步关系，PPG 信号边沿同步能够防止短脉冲干扰。死区模块输出一组插入死区的互补 PPG 信号。

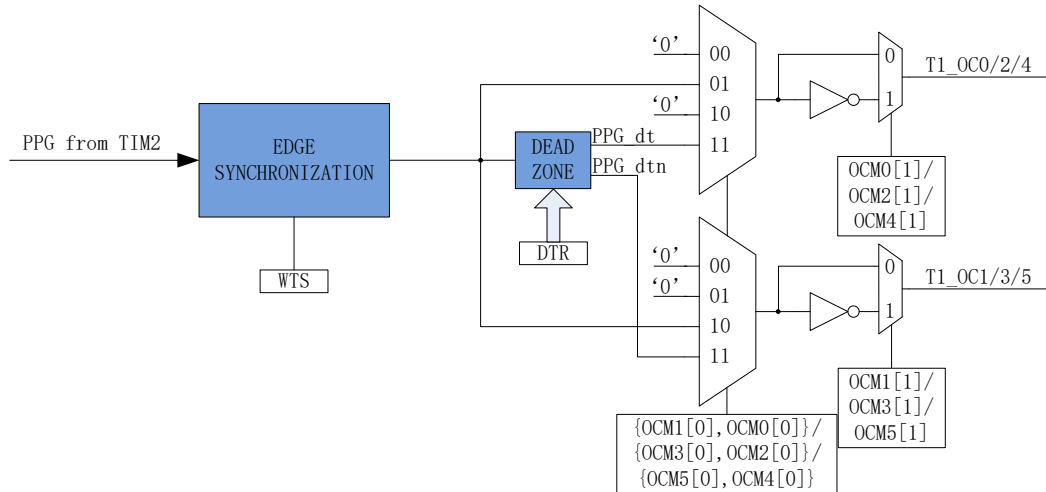


图 15-12 输出框图

对于输出，通过配置 TIM1_DRH/TIM1_DRL 寄存器的 OCMx[0]，可以选择输出模式为无效电平，原始输出 PPG 信号或者插入死区的互补输出。TIM1_DRH/TIM1_DRL 寄存器的 OCMx[1]配置输出的极性。例如，配置 OCM1[0]=1, OCM0[0]=0, OCM1[1]=0，则 T1_OC1=PPG，不再是互补输出。

15.1.5.1 PPG 边沿同步

为了避免在输出模式改变的时候可能出现短脉冲的情况，可以通过对 PPG 信号进行边沿同步。通过配置 TIM1_CR1 寄存器的 WTS 可选择 PPG 信号上升沿、下降沿、双沿同步或者不同步。

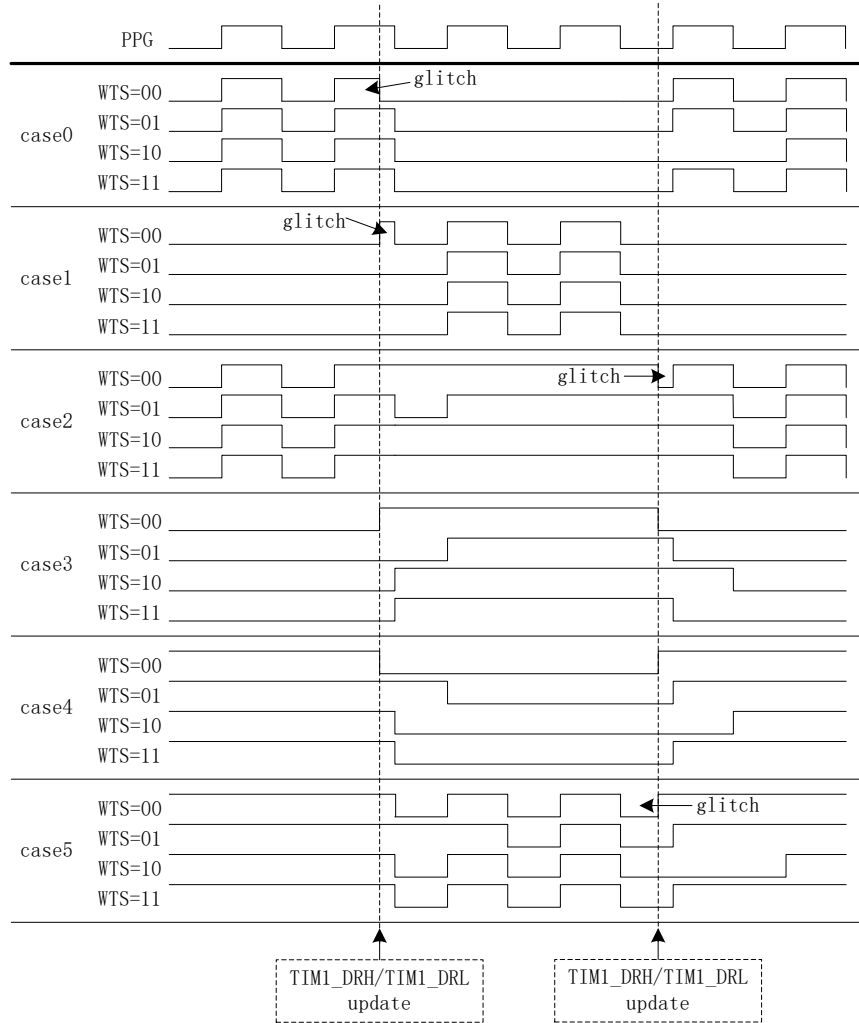


图 15-13 PPG 边沿同步时序图

15.1.5.2 死区输出

对于互补的 PPG 信号，如果 TIM1_DTR 寄存器不等于 0，就使能了死区插入。当 PPG 上升沿发生时，PPG_dt 的实际输出高电平比 PPG 的上升沿延迟 TIM1_DTR 设定的时间；当 PPG 下降沿发生时，PPG_dtn 的实际输出高电平比 PPG 的下降沿延迟 TIM1_DTR 设定的时间。如果延迟时间大于实际输出的脉宽，那么对应的通道脉宽不延迟，相反的通道脉宽不产生。

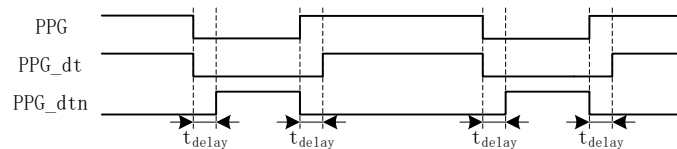


图 15-14 带死区插入的互补输出

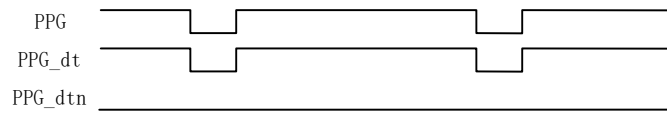


图 15-15 死区时间大于负电平

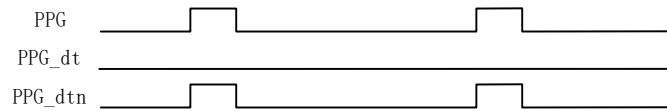


图 15-16 死区时间大于正电平

15.1.6 Timer1 中断

Timer 有 5 个中断请求源：

9. 基本定时器的上溢中断
10. 重载定时器的下溢中断
11. 位置检测中断
12. 数据更新中断
13. 比较中断

配置 TIM1_IER 对应的中断使能位可以使能对应的中断请求。

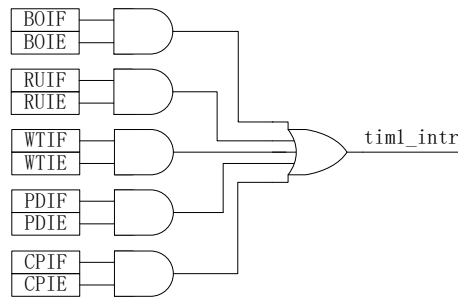


图 15-17TIMER1 中断源

15.2 Timer1 寄存器

15.2.1 TIM1_CR0 (0x4068)

表 15-2 TIM1_CR0 (0x4068)

位	7	6	5	4	3	2	1	0
名称	CPE		INC2	INC1	INC0	IEE2	IEE1	IEE0
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:6]	CPE	TIO/TI1/TI2输入沿极性选择 这些位用于选择位置检测用的输入沿的极性，位置检测根据设定到这些位的输入沿极性来触发。 00: 不检测 01: 上升沿检测 10: 下降沿检测 11: 双沿检测
[5]	INC2	参考INC0描述
[4]	INC1	参考INC0描述
[3]	INC0	TIO输入噪声滤波使能 滤波的噪声脉宽根据TIM1_CR2的INM0[1:0]决定 0: 滤波不使能 1: 滤波使能 注: 使能滤波功能后，假如内部时钟停止后，输入变为无效
[2]	IEE2	TI2输入使能 参考IEE0描述
[1]	IEE1	TI1输入使能 参考IEE0描述
[0]	IEE0	TI0 输入检测使能 0: 禁止TI0 输入检测 1: 使能TI0 输入检测 注: 设置该位前应该先设置TIM1_CR1寄存器的CMPE为0

15.2.2 TIM1_CR1 (0x4069)

表 15-3 TIM1_CR1 (0x4069)

位	7	6	5	4	3	2	1	0
名称	T1RCEN	ROPM	WTS		CPD			CMPE
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	T1RCEN	重载定时器的计数器使能 0: 禁止计数器 1: 使能计数器
[6]	ROPM	重载定时器单脉冲模式 0: 在重载定时器发生下溢事件时，计数器不停止； 1: 在重载定时器发生下溢事件时，清除 T1RCEN 时，计数器停止。
[5:4]	WTS	PPG同步边沿选择 这些位用于选择与写入时序同步的PPG信号的下个同步边沿。 00: 不同步

		01: 上升沿同步 10: 下降沿同步 11: 双沿同步 注: 如果设置来自TIM2的PPG为强制0或1, 需将WTS设置为00, 否则可能因为PPG没有沿变化而使得输出无法强制为0或1
[3:1]	CPD	比较位 这些位用于与输出数据TIM1_DRH寄存器的RDA[2:0]进行比较, 该位的值和RDA[2:0]的值匹配时, 比较中断标志(CPIF) 置“1”。
[0]	CMPE	位置检测比较使能位 该位用于使能位置检测的比较操作 0: 禁止位置检测比较 1: 使能位置检测比较

15.2.3 TIM1_CR2 (0x406A)

表 15-4 TIM1_CR2 (0x406A)

位	7	6	5	4	3	2	1	0
名称	BRS	TIS	INM2		INM1		INM0	
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	BRS	基本定时器复位源选择 0: 写入时序复位 1: 位置检测复位
[6]	TIS	输入源 (TI0/TI1/TI2) 选择 0: 比较器 (CMP0/CMP1/CMP2) 的输出作为输入 1: GPIO (P1_4/P1_6/P2_1) 作为输入
[5:4]	INM2	TI2噪声脉宽选择 参考INM0描述
[3:2]	INM1	TI1噪声脉宽选择 参考INM0描述
[1:0]	INM0	TI0噪声脉宽选择, 当噪声的脉宽小于设定值, 噪声会被滤除。假设MCU时钟为24MHZ(41.67ns) 00: 4个时钟周期, 4 x 47.67ns 01: 8个时钟周期, 8 x 47.67ns 10: 16个时钟周期, 16 x 47.67ns 11: 32个时钟周期, 32 x 47.67ns

15.2.4 TIM1_CR3 (0x406B)

表 15-5 TIM1_CR3 (0x406B)

位	7	6	5	4	3	2	1	0
名称	PSC				OPS			T1BCEN
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:4]	PSC	定时器时钟分频选择 这些位用于对MCU时钟进行N分频作为基本定时器和重载定时器的计数时钟，假设MCU时钟为24MHZ(41.67ns) 0000:0x1 (24MHZ) 0001:0x2 (12MHZ) 0010:0x4 (6MHZ) 0011:0x8 (3MHZ) 0100:0x10 (1.5MHZ) 0101:0x20 (750KHZ) 0110:0x40 (375KHZ) 0111:0x80 (187.5KHZ) 1000:0x100 (93.75KHZ) 1001:0x200 (46.875KHZ) 1010:0x400 (23.4375KHZ) 1011:0x600 (15.625KHZ) 1100:0x800 (11.71875KHZ) 1101:0xa00 (9.375KHZ) 1110:0xc00 (7.8125KHZ) 1111:0xe00 (6.6964KHZ)
[3:1]	OPS	数据传输方式选择 这些位用于选择TIM1_DBRH/TIM1_DBRL寄存器写入TIM1_DRH/TIM1_DRL寄存器的传输方式 000: 软件写TIM1_DBRH/TIM1_DBRL触发数据传输 001: 16位重载定时器的下溢触发数据传输 010: 位置检测输入触发数据传输 011: 16位重载定时器的下溢触发数据传输，同时位置检测输入会使16位重载定时器启动 100: 16位重载定时器的下溢或者位置检测输入触发数据传输 101: 16位重载定时器的下溢或者位置检测输入单次触发数据传输 110: 位置检测输入单次触发数据传输 111: 16位重载定时器的下溢单次触发数据传输，同时位置检测输入会使16位重载定时器启动
[0]	T1BCEN	基本定时器的计数器使能 0: 禁止计数器 1: 使能计数器

15.2.5 TIM1_IER (0x406C)

表 15-6 TIM1_IER (0x406C)

位	7	6	5	4	3	2	1	0
名称	RSV			BOIE	RUIE	WTIE	PDIE	CPIE
类型	R	R	R	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:5]	RSV	保留位
[4]	BOIE	基本定时器上溢中断使能 0: 禁止上溢中断 1: 使能上溢中断
[3]	RUIE	重载定时器下溢中断使能 0: 禁止重载定时器下溢中断 1: 使能重载定时器下溢中断
[2]	WTIE	写入时序中断使能 0: 禁止写入时序中断 1: 使能写入时序中断
[1]	PDIE	位置检测中断使能 0: 禁止位置检测中断 1: 使能位置检测中断
[0]	CPIE	比较中断使能 0: 禁止比较中断 1: 使能比较中断

15.2.6 TIM1_SR (0x406D)

表 15-7 TIM1_SR (0x406D)

位	7	6	5	4	3	2	1	0
名称	RSV			BOIF	RUIF	WTIF	PDIF	CPIF
类型	R	R	R	R/W0	R/W0	R/W0	R/W0	R/W0
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:5]	RSV	保留位
[4]	BOIF	基本定时器上溢中断标记 当基本定时器向上计数，当TIM1_CNTR寄存器的值与TIM1_ARR寄存器的值比较匹配时，即发生上溢事件，TIM1_CNTR清零，该位由硬件置1，它由软件清0。 0: 无事件发生； 1: 上溢事件发生。
[3]	RUIF	重载定时器下溢中断标记 重载定时器向下计数，当定时器TIM1_RCNTR寄存器的值等于0时，即发生下溢事件，TIM1_RCNTR重载TIM1_RARR寄存器的值，该位由硬件置1，它由软件清0。 0: 无事件发生； 1: 下溢事件发生。
[2]	WTIF	写入时序中断标记 当TIM1_DBRH/TIM1_DBRL寄存器传输到TIM1_DRH/TIM1_DRL寄存器，该位

		由硬件置1，它由软件清0。 0：无事件发生； 1：写入时序发生。
[1]	PDIF	位置检测中断标记 当产生位置检测事件时该位由硬件置1。它由软件清0。以下情况会触发位置检测事件： --当TIM1_CR1寄存器的CMPE=1，输入（TI2,TI1,TI0）的值与RDA[2:0]的值匹配，同时根据TIM1_CR0的CPE检测到输入边沿的到来 --当TIM1_CR1寄存器的CMPE=0，根据TIM1_CR0的CPE检测到输入边沿的到来 0：无事件发生； 1：位置检测事件发生。
[0]	CPIF	比较中断标记 当RDA[2:0]与CPD[2:0]匹配时该位由硬件置1，它由软件清0。 0：无匹配发生； 1：RDA[2:0]与CPD[2:0]的值匹配。

15.2.7 TIM1_DRH (0x406E)

表 15-8 TIM1_DRH (0x406E)

位	7	6	5	4	3	2	1	0
名称	RSV	RDA			OCM5		OCM4	
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	RSV	保留位
[6:4]	RDA	位置检测和CPD比较匹配值 软件设置RDA[2:0]的值，用于产生位置检测中断和CPD比较中断 --当TIM1_CR1寄存器的CMPE=1，输入（TI2,TI1,TI0）的值与RDA[2:0]的值匹配，同时根据TIM1_CR0的CPE检测到输入边沿的到来，产生位置比较中断 --当RDA[2:0]与CPD[2:0]匹配时，产生比较中断
[3:2]	OCM5	通道5输出(T1_OC5)模式 参考OCM1描述，T0_OC4和T0_OC5为互补通道
[1:0]	OCM4	通道4输出(T1_OC4)模式 参考OCM0描述，T0_OC4和T0_OC5为互补通道

15.2.8 TIM1_DRL (0x406F)

表 15-9 TIM1_DRL (0x406F)

位	7	6	5	4	3	2	1	0
名称	OCM3		OCM2		OCM1		OCM0	
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:6]	OCM3	通道3输出(T1_OC3)模式 参考OCM1描述, T0_OC2和T0_OC3为互补通道
[5:4]	OCM2	通道2输出(T1_OC2)模式 参考OCM0描述, T0_OC2和T0_OC3为互补通道
[3]	OCM1[1]	通道1输出(T1_OC1) 输出极性 0: T0_OC1高电平有效 1: T0_OC1低电平有效
[2]	OCM1[0]	通道1输出(T1_OC1) 输出使能 0: 关闭-禁止T0_OC1输出 1: 开启-使能T0_OC1输出 注: 当OCM0[0]和OCM1[0]同时为1, T0_OC0和T0_OC1互补输出, 同时T0_OC0和T0_OC1的输出自动插入死区。
[1]	OCM0[1]	通道0输出(T1_OC0) 输出极性 0: T0_OC0高电平有效 1: T0_OC0低电平有效
[0]	OCM0[0]	通道0输出(T1_OC0) 输出使能 0: 关闭-禁止T0_OC0输出 1: 开启-使能T0_OC0输出 注: 当OCM0[0]和OCM1[0]同时为1, T0_OC0和T0_OC1互补输出, 同时T0_OC0和T0_OC1的输出自动插入死区。

15.2.9 TIM1_DBRH/TIM1_DBRL(0x4070 , 0x4071)

TIM1_DBRH/TIM1_DBRL 中存储的是有待更新到 TIM1_DRH/TIM1_DRL 中的数据, 寄存器定义与 TIM1_DRH/TIM1_DRL 完全相同。

15.2.10 TIM1_BCCR (0x4072 , 0x4073)

表 15-10 TIM1_BCCRH (0x4072)

位	7	6	5	4	3	2	1	0
名称	TIM1_BCCRH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 15-11 TIM1_BCCRL (0x4073)

位	7	6	5	4	3	2	1	0
名称	TIM1_BCCRL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM1_BCCR	捕获基本定时器计数值

		当基本定时器因为位置检测事件或者写入时序事件复位时，将复位前的计数值存至CCR寄存器。
--	--	---

15.2.11 TIM1_RARR (0x4074 , 0x4075)

表 15-12 TIM1_RARRH (0x4074)

位	7	6	5	4	3	2	1	0
名称	TIM1_RARRH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 15-13 TIM1_RARL (0x4075)

位	7	6	5	4	3	2	1	0
名称	TIM1_RARL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM1_RARR	重载定时器的自动重载值 当重载定时器发生下溢中断，就将计数器的值重载为RARR的值

15.2.12 TIM1_RCNTR (0x4076 , 0x4077)

表 15-14 TIM1_RCNTRH (0x4076)

位	7	6	5	4	3	2	1	0
名称	TIM1_RCNTRH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 15-15 TIM1_RCNTRL (0x4077)

位	7	6	5	4	3	2	1	0
名称	TIM1_RCNTRL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM1_RCNTR	重载定时器的计数值

15.2.13 TIM1_BCNTR (0x407A , 0x407B)

表 15-16 TIM1_BCNTRH (0x407A)

位	7	6	5	4	3	2	1	0
名称	TIM1_BCNTRH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 15-17 TIM1_BCNTRL (0x407B)

位	7	6	5	4	3	2	1	0
名称	TIM1_BCNTRL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM1_BCNTR	基本定时器的计数值

15.2.14 TIM1_BARR (0x4078, 0x4079)

表 15-18 TIM1_BARRH (0x4078)

位	7	6	5	4	3	2	1	0
名称	TIM1_BARRH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 15-19 TIM1_BARRL (0x4079)

位	7	6	5	4	3	2	1	0
名称	TIM1_BARRL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM1_BARR	基本定时器的自动重载值 当基本定时器的计数值等于BARR寄存器的值，即发生上溢中断，同时计数器的值置为0

15.2.15 TIM1_DTR (0x4064)

表 15-20 TIM1_DTR (0x4064)

位	7	6	5	4	3	2	1	0
名称	TIM1_DTR							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	TIM1_DTR	Deadtime (死区时间) DTR为插入互补输出之间的死区持续时间。假设MCU时钟为24MHZ(41.67ns) $DT = (DTR + 1) \times 41.67ns$ 注：当DTR=0，不插入死区

16 Capture timer(TIM2/TIM3/TIM4/TIM5)

16.1 Capture timer 操作说明

Capture timer 共有输出、输入 timer 和输入 counter 三种模式：

1. 输出模式：产生输出波形（PWM, one-pulse mode）
2. 输入 timer 模式：检测输入 PWM 的高低电平持续时间，可用于算出 PWM 占空比
3. 输入 counter 模式：检测输入规定的 PWM 个数所需的时间

Capture timer 主要包括：

1. 3-bit 可编程分频器对基本计数器的计数时钟进行分频
2. 16 位向上计数的基本计数器，计数时钟源为时钟控制器的输出
3. 输入 counter 模式专用的 16 位向上计数的专用计数器，计数时钟源为外部输入信号的有效沿
4. 输入滤波模块
5. 边沿检测模块
6. 输出模块产生 PWM、单次比较输出
7. 中断事件产生
8. TIMER2 输出模式下输出信号给 TIMER1 作 PPG 信号，可输出 ADC 触发信号和比较器采样信号。

16.1.1 Capture timer 时钟控制器

时钟控制器用于产生基本定时器和重载定时器的计数时钟源，由预分频器对计数时钟进行分频。预分频器基于一个由 3 位寄存器 PSC 控制的 8 位计数器，可选择 8 种分频系数，时钟源为内部时钟。由于这个控制寄存器没有缓冲器，分频系数改变会立刻更新，所以应该在基本定时器和重载定时器都不工作时更新分频系数。

计数器的频率可以由下式计算：

$$f_{CK_CNT} = f_{CK_PSC} / T_xPSC$$

假设 MCU 时钟为 24MHZ(41.67ns)

表 16-1 寄存器 TxPSC 不同的值对应不同的时钟频率

TxPSC	系数(16进制)	CLK(HZ)
000	0x1	24M
001	0x2	12M
010	0x4	6M
011	0x8	3M
100	0x10	1.5M
101	0x20	750K
110	0x40	375K
111	0x80	187.5K

16.1.2 输出模式

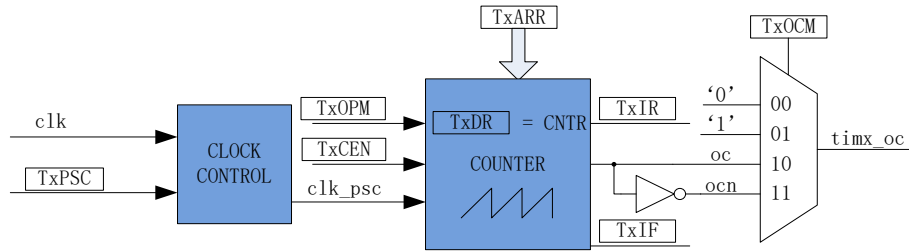


图 16-1 输出模式原理框图

输出模式根据配置 IMx_CR0 寄存器的 Tx_OCM 和比较结果产生输出信号，同时产生相应中断。

16.2.2.1 强制输出模式

配置 $TIMx_CR0$ 寄存器的 $Tx_OCM=00$ ，输出比较信号强置为无效状态，即 $TIMx_OC$ 始终为低电平；配置 $TIMx_CR0$ 寄存器的 $Tx_OCM=01$ ，输出比较信号强置为有效状态，即 $TIMx_OC$ 始终为高电平；强制输出模式下， $TIMx_DR$ 寄存器与计数值 $TIMx_CNTR$ 仍然会进行比较，在比较匹配发生时配置相关标志和产生中断。

16.2.2.2 PWM 模式

PWM 模式根据 $TIMx_ARR$ 决定 PWM 周期， $TIMx_DR$ 决定占空比，占空比 $=TIMx_DR/TIMx_ARR \times 100\%$ 。配置 $TIMx_CR0$ 寄存器的 $Tx_OCM=10$ ，输出根据 $TIMx_DR$ 寄存器和数值 $TIMx_CNTR$ 的比较结果 ($TIMx_CNTR \leq TIMx_DR$) 输出低电平，反之输出高电平。配置 $TIMx_CR0$ 寄存器的 $Tx_OCM=11$ ，输出根据 $TIMx_DR$ 寄存器和数值 $TIMx_CNTR$ 的比较结果 ($TIMx_CNTR \leq TIMx_DR$) 输出高电平，反之输出低电平。

16.2.2.3 中断事件

a) 当 $TIMx_CNTR = TIMx_DR$ ，产生比较匹配事件，中断标记 $TIMx_CR1$ 寄存器的 IR 置一，计数器接着计数；

b) 当 $TIMx_CNTR = TIMx_ARR$ ，产生上溢事件，中断标记 $TIMx_CR1$ 寄存器的 IF 置一，计数器清零，根据 $TIMx_CR0$ 寄存器的 $TxOPM$ 是否重新计数， $TxOPM=1$ ，停止计数； $TxOPM=0$ ，重新计数。

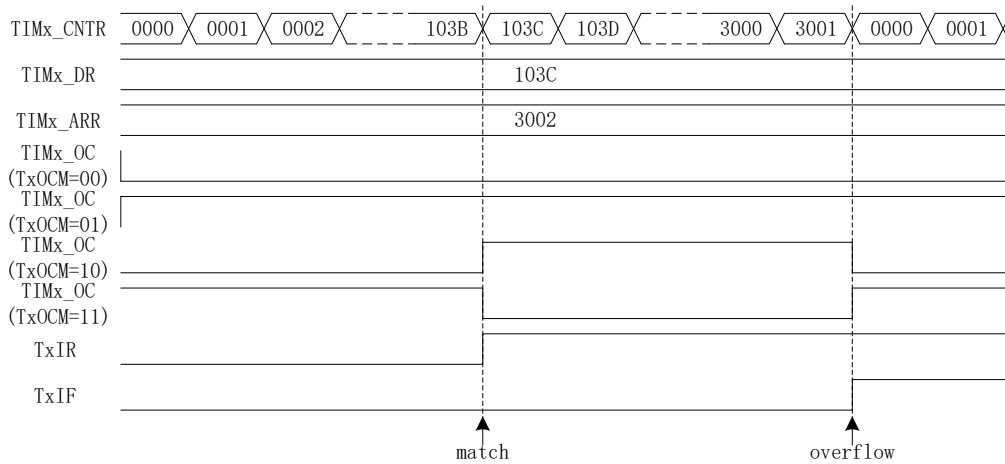


图 16-2 输出模式输出波形

16.2.2.4 Timer2 的 ADC 触发和比较器采样功能

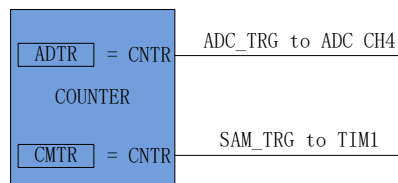


图 16-3 TIMER2 的 ADC 触发和比较器采样功能

ADC 触发功能是在控制电机的过程中对母线电流（ADC 的通道 4）进行自动采样。设置 ADC_CFG 寄存器的 AD_TRIG_EN=1，即使能 ADC 触发功能，设置 TIM2_ADTR 寄存器的值，当计数值 TIM2_CNTR 等于 TIM2_ADTR 时，产生触发信号，对 ADC 的通道 4 进行采样，采样数据存放在 ADC4_DR 寄存器。配置 ADC_CFG 寄存器的 AD_TRIG_IE=1，使能 ADC 触发中断功能，当中断事件发生，中断标记 AD_TRIG_IF 硬件置一，中断标记可软件写零清零。

比较器采样功能是在无感 BLDC 控制电机的过程中对 U,V,W 的反电动势（即比较器 CMP0,CMP1,CMP2）进行采样。设置 CMP_CR2 寄存器的 CMPSAME=1，即使能比较器采样功能，设置 TIM2_CMTR 寄存器的值，当计数值 TIM2_CNTR 等于 TIM2_CMTR 时，产生采样信号，对 CMP0,CMP1,CMP2 进行采样。

16.1.3 输入信号滤波和边沿检测

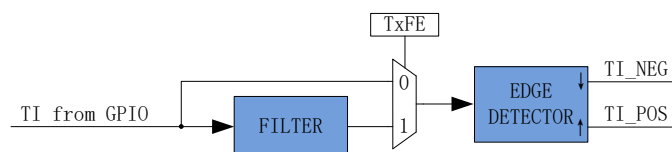


图 16-4 输入信号滤波和边沿检测框图

Timer 的输入信号 TI 来自 GPIO，输入可选择是否进行噪声滤波，边沿检测模块检测输入的上升沿和下降沿供下一模块使用。

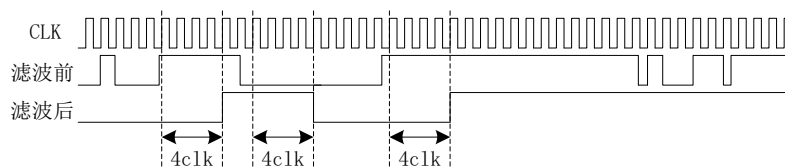


图 16-5 滤波模块时序图

滤波电路固定滤除脉宽为 4 时钟周期的输入噪声。配置 TIMx_CR1 寄存器的 Tx_FE = 1，即使能滤波功能，滤波后的信号会比滤波前的信号大概延迟 4~5 时钟周期。

16.1.4 输入 timer 模式

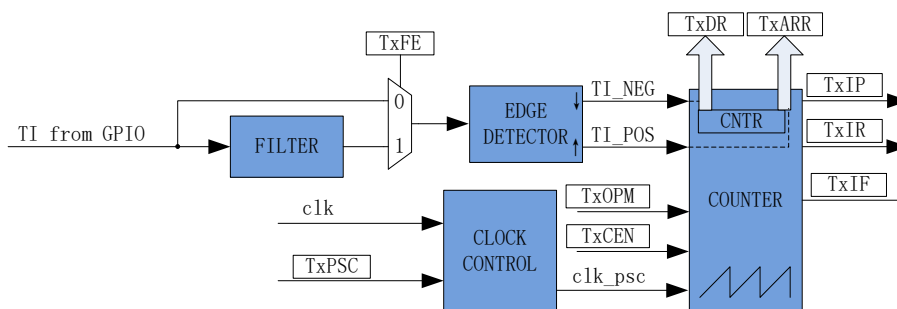


图 16-6 输入 timer 模式原理框图

输入 timer 模式检测 PWM 信号高电平和一个周期的时长，分别将计数值 TIMx_CNTR 存在 TIMx_DR 和 TIMx_ARR；输入信号可选择是否滤波；

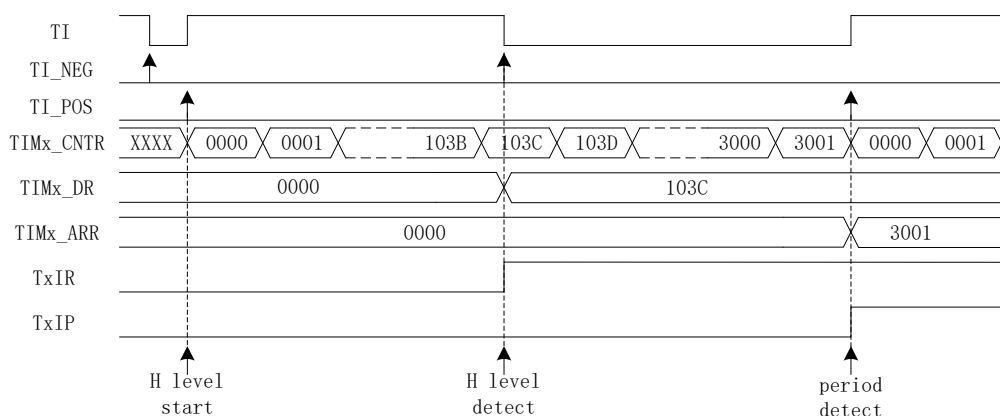


图 16-7 输入 timer 模式时序图

配置 TIMx_CR1 寄存器的 Tx_CEN = 1，即使能计数器，计数器向上计数，当 timer 检测到输入的的第一个上升沿时（下降沿无效），TIMx_CNTR 清零并重新计数；

当检测到输入的下降沿时，即输入的高电平检测完毕，此时将 TIMx_CNTR 的值存进 TIMx_DR，

同时中断标记 TIMx_CR1 寄存器的 IR 置一，TIMx_CNTR 接着向上计数；

当检测到输入的第二个上升沿时，当检测到输入的一个 PWM 周期时，此时将 TIMx_CNTR 的值存进 TIMx_ARR，同时中断标记 TIMx_CR1 寄存器的 IP 置一，TIMx_CNTR 清零，根据 TIMx_CR0 寄存器的 TxOPM 是否重新计数，TxOPM=1，停止计数；TxOPM=0，重新计数。

当 timer 尚未检测到输入的第二个上升沿，计数值 TIMx_CNTR 达到 0xFFFF，发生上溢事件，中断标记 TIMx_CR1 寄存器的 IF 置一，TIMx_CNTR 清零，根据 TIMx_CR0 寄存器的 TxOPM 是否重新计数，TxOPM=1，停止计数；TxOPM=0，重新计数。

16.1.5 输入 counter 模式

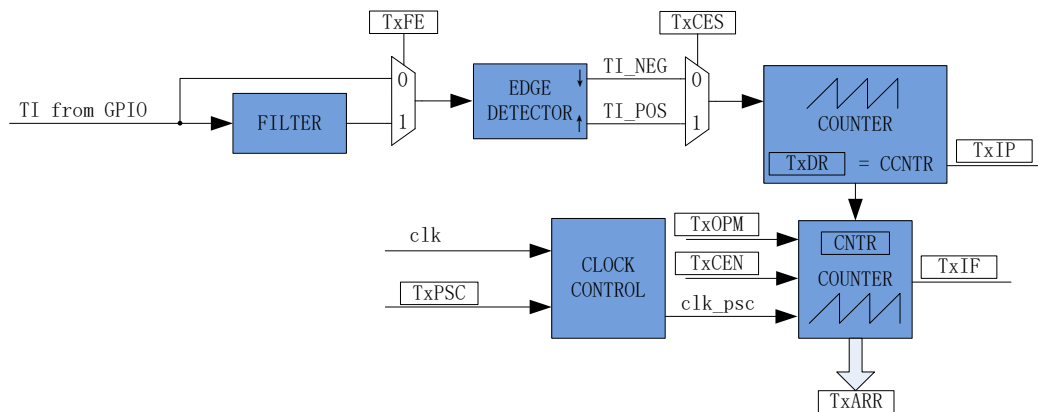


图 16-8 输入 counter 模式原理框图

输入 counter 模式检测输入规定的 PWM 个数所需的时长，将基本计数器的计数值 TIMx_CNTR 存进 TIMx_ARR；输入信号可选择是否滤波；配置 TIMx_CR0 寄存器的 Tx_CES=1，输入信号的上升沿作为专用计数器的计数有效边沿，反之输入信号的下降沿作为有效沿。

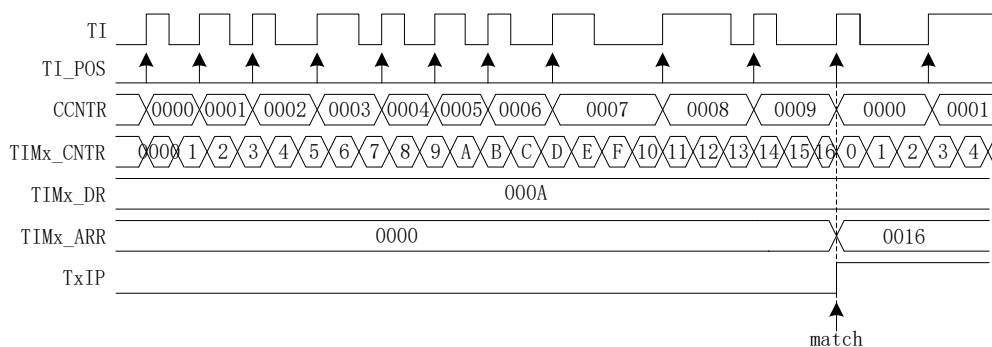


图 16-9 输入 counter 模式时序图

配置 TIMx_CR1 寄存器的 TxCEN = 1，即使能计数器，计数器向上计数，当 timer 检测到输入的第一个有效沿时，TIMx_CNTR 清零并重新计数；

每当 timer 检测有效沿，专用计数器的计数值 CCNTR 加一；TIMx_DR 设定检测 PWM 个数的目标值，当专用计数器的计数值达到目标值，将基本计数器的计数值 TIMx_CNTR 存进 TIMx_ARR，同时中断标记 TIMx_CR1 寄存器的 IP 置一，TIMx_CNTR 和 CCNTR 清零，根据 TIMx_CR0 寄存

器的 TxOPM 是否重新计数，TxOPM=1，停止计数；TxOPM=0，重新计数。

当检测输入的 PWM 个数尚未达到目标值，计数值 TIMx_CNTR 已经达到 0xFFFF，发生上溢事件，中断标记 TIMx_CR1 寄存器的 IF 置一；TIMx_CNTR 清零，CCNTR 不清零，配置 TxOPM=0，TIMx_CNTR 重零开始计数，CCNTR 接着之前数值继续计数；配置 TxOPM=1，timer 停止工作，TIMx_CNTR 停止计数，CCNTR 清零。

16.2 Capture timer 寄存器

16.2.1 TIMx_CR0(0xA1/0x9C/0x9E/0x89) (x 由 2 到 5)

表 16-2TIMx_CR0 (0xA1/0x9C/0x9E/0x89)

位	7	6	5	4	3	2	1	0
名称	TxPSC			TxOCM		TxCES	TxCTM	TxOM
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:5]	TxPSC	计数器时钟分频选择 这些位用于对MCU时钟进行N分频作为基本计数器的计数时钟，假设MCU时钟为24MHZ(41.67ns) 000:0x1 (24MHZ) 001:0x2 (12MHZ) 010:0x4 (6MHZ) 011:0x8 (3MHZ) 100:0x10 (1.5MHZ) 101:0x20 (750KHZ) 110:0x40 (375KHZ) 111:0x80 (187.5KHZ)
[4:3]	TxOCM	输出比较模式选择 00: 强制输出 0 11: 强制输出 1 10: TIMx_CNTR≤TIMx_DR, 输出 0; TIMx_CNTR >TIMx_DR, 输出 1 11: TIMx_CNTR≤TIMx_DR, 输出 1; TIMx_CNTR>TIMx_DR, 输出 0
[2]	TxCES	输入counter模式下有效沿选择 0: 下降沿计数 1: 上升沿计数
[1]	TxCTM	输入模式选择 0: 输入timer模式 1: 输入counter模式
[0]	TxOM	工作模式选择 0: 输入模式 1: 输出模式

16.2.2 TIMx_CR1(0xA9/0x9D/0x9F/0x91) (x 由 2 到 5)

表 16-3 TIMx_CR1 (0xA9/0x9D/0x9F/0x91)

位	7	6	5	4	3	2	1	0
名称	TxIR	TxIP	TxIF	TxIDE	TxIFE	TxFE	TxOPM	TxCEN
类型	R/W0	R/W0	R/W0	R/W0	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	TxIR	输出模式：比较匹配标记 当计数器值TIMx_CNTR与比较值TIMx_DR匹配时该位由硬件置1。它由软件清0。 输入timer模式：高电平脉宽检测标记 timer检测到输入高电平脉宽（即上升沿到下降沿），该位由硬件置1。它由软件清0。 0：无事件发生； 1：事件发生。
[6]	TxIP	输入timer模式：PWM周期检测标记 timer检测到输入一个PWM周期（即上升沿到上升沿），该位由硬件置1。它由软件清0。 输入counter模式：输入PWM计数匹配标记 当输入PWM的个数达到TIMx_DR的值，该位由硬件置1。它由软件清0。 0：无事件发生； 1：事件发生。
[5]	TxIF	输出模式：计数器上溢标记 当计数器值TIMx_CNTR与比较值TIMx_ARR匹配时，TIMx_CNTR清零，该位由硬件置1。它由软件清0。 输入timer模式：计数器上溢标记 Timer尚未检测到输入一个PWM周期（即上升沿到上升沿），而计数器的值TIMx_CNTR累加到0xFFFF，产生上溢事件，TIMx_CNTR清零，该位由硬件置1。它由软件清0。 输入counter模式：基本计数器上溢标记 当输入PWM的个数尚未达到TIMx_DR的值，而基本计数器的值TIMx_CNTR累加到0xFFFF，产生上溢事件，TIMx_CNTR清零，该位由硬件置1。它由软件清0。 0：无事件发生； 1：事件发生。
[4]	TxIDE	输出模式：比较匹配中断使能 输入timer模式：PWM周期检测中断使能 输入counter模式：输入PWM计数匹配中断使能 0：禁止事件中断； 1：使能事件中断
[3]	TxIFE	输出模式：计数器上溢中断使能 输入timer模式：计数器上溢中断使能 输入counter模式：基本计数器上溢中断使能 0：禁止更新事件中断；

		1: 使能更新事件中断
[2]	TxFE	输入噪声滤波使能 当噪声的脉宽小于4个时钟周期，噪声会被滤除。假设MCU时钟为24MHZ(41.67ns)，则滤波脉宽为166.67ns 0: 禁止滤波功能； 1: 使能滤波功能
[1]	TxOPM	单次模式 下列事件发生 输出模式：计数器上溢事件 输入 timer 模式：PWM 周期检测或计数器上溢事件 输入 counter 模式：输入 PWM 计数匹配或基本计数器上溢事件 0: 在发生更新事件时，计数器不停止； 1: 在发生更新事件时，计数器停止(清除TxCEN)。
[0]	TxCEN	基本计数器使能 0: 禁止计数器； 1: 使能计数器

16.2.3 TIMx_CNTR(0xAA,0xAB/0xA2,0xA3/0x92,0x93/0x8A,0x8B)(x 由 2 到 5)

表 16-4 TIMx_CNTRH (0xAB/0xA3/0x93/0x8B)

位	7	6	5	4	3	2	1	0
名称	TIMx_CNTRH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 16-5TIMx_CNTRL (0xAA/0xA2/0x92/0x8A)

位	7	6	5	4	3	2	1	0
名称	TIMx_CNTRL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIMx_CNTR	基本计数器的计数值

16.2.4 TIMx_DR(0xAC,0xAD/0xA4,0xA5/0x94,0x95/0x8C,0x8D) (x 由 2 到 5)

表 16-6 TIMx_DRH (0xAD/0xA5/0x95/0x8D)

位	7	6	5	4	3	2	1	0
名称	TIMx_DRH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 16-7 TIMx_DRL (0xAC/0xA4/0x94/0x8C)

位	7	6	5	4	3	2	1	0
名称	TIMx_DRL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIMx_DR	输出模式：比较匹配值（软件写） 输入 timer 模式：检测到高电平的计数值（硬件写） 输入 counter 模式：输入 PWM 的个数（软件写）

16.2.5 TIMx_ARR(0xAE,0xAF/0xA6,0xA7/0x96,0x97/0x8E,0x8F) (x 由 2 到 5)

表 16-8 TIMx_ARRH (0xAF/0xA7/0x97/0x8F)

位	7	6	5	4	3	2	1	0
名称	TIMx_ARRH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 16-9 TIMx_ARRL (0xAE/0xA6/0x96/0x8E)

位	7	6	5	4	3	2	1	0
名称	TIMx_ARRL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIMx_ARR	输出模式：重载值（软件写） 输入 timer 模式：检测到一个 PWM 周期的计数值（硬件写） 输入 counter 模式：输入 PWM 计数匹配时基本计数器的计数值（硬件写）

16.2.6 TIM2_CMTR (TIMER2 独有) (0xB2, 0xB3)

表 16-10 TIM2_CMTRH (TIMER2 独有) (0xB3)

位	7	6	5	4	3	2	1	0
名称	TIM2_CMTRH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 16-11 TIM2_CMTRL (TIMER2 独有) (0xB2)

位	7	6	5	4	3	2	1	0
名称	TIM2_CMTRL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM2_CMTR	CMP0, CMP1, CMP2比较器采样点设置

16.2.7 TIM2_ADTR (TIMER2 独有) (0xB4, 0xB5)

表 16-12 TIM2_ADTRH (TIMER2 独有) (0xB5)

位	7	6	5	4	3	2	1	0
名称	TIM2_ADTRH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

表 16-13TIM2_ADTRL (TIMER2 独有) (0xB4)

位	7	6	5	4	3	2	1	0
名称	TIM2_ADTRL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:0]	TIM2_ADTR	ITRIP电流AD通道 (CH4) 触发点设置

17 Watchdog timer(WDT)

17.1 WDT 操作说明

17.1.1 基本功能框图

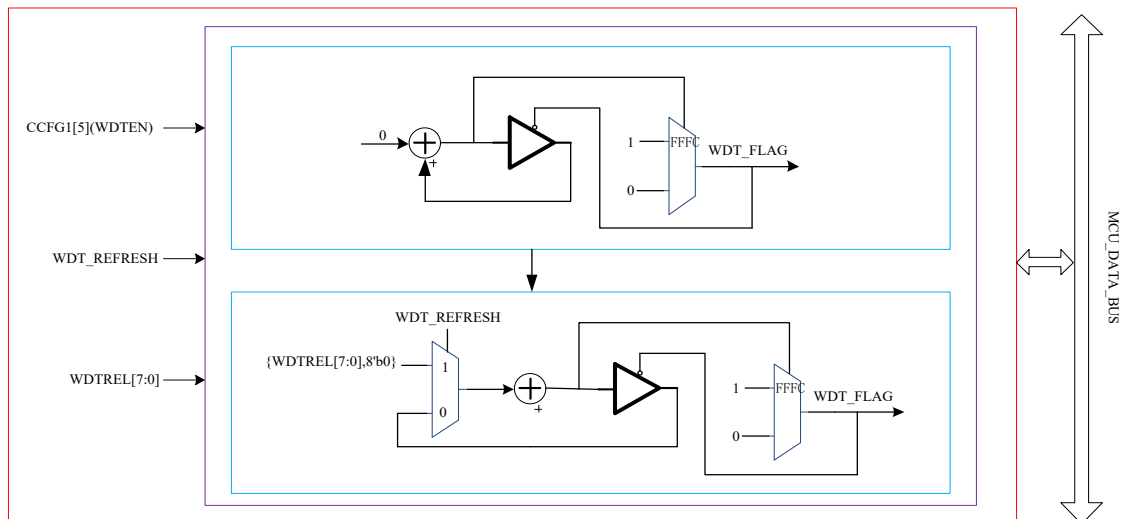


图 17-1 WDT 基本功能框图

17.1.2 基本操作说明

芯片内置一个 16 位看门狗计数器，工作在 LS_OSC 时钟域。

- 1、 上电后软件对看门狗进行初始化；
- 2、 然后配置 WDT_CSR[WDTEN]启动看门狗计数；
- 3、 看门狗从{16'h0}开始计数，计到 FFFC 时产生看门狗复位，看门狗复位持续时长为 FFFC~FFFF；
- 4、 之后又从{WDT_REL, 8'h0}开始计数；
- 5、 看门狗复位产生后设置 WDT_CSR[WDTF]为 1，该标志硬件置 1，软件写 0 清 0；
- 6、 软件设置 WDT_CSR[WDTRF]为 1，看门狗计数器会初始化为{WDT_REL, 8'h0}；
- 7、 看门狗在芯片进入 IDE 的暂时状态时，看门狗计数跟着暂停；
- 8、 看门狗复位可选择是否启动 boot。

17.2 WDT 寄存器

17.2.1 WDT_CSR (0x4026)

表 17-1 WDT_CSR (0x4026)

位	7	6	5	4	3	2	1	0
名称	RSV						WDTF	WDTRF
类型	R	R	R	R	R	R	R/W0	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:2]	RSV	保留
[1]	WDTF	看门狗复位标志
[0]	WDTRF	1: 初始化看门狗计数器； 0: 不初始化

17.2.2 WDT_REL (0x4027)

表 17-2 WDT_REL (0x4027)

位	7	6	5	4	3	2	1	0
名称	WDT_REL							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	WDT_REL	设置看门狗计数器重新置位后的值的高 8 位。

18 RTC

18.1 操作说明

18.1.1 基本功能框图

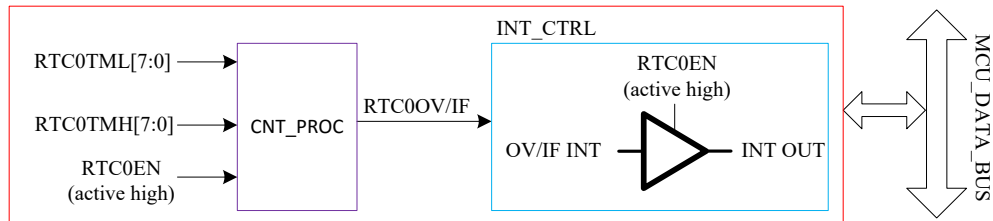


图 18-1 基本功能框图

18.1.2 操作说明

写寄存器 RTC0TMH 和 RTC0TML，设置 RTC 计数的重载值；
设置 RTC0STA[RTC0EN]为 1，使能 RTC 计数。

18.2 RTC 寄存器

18.2.1 计数寄存器：RTC0TM (0x4065 , 0x4066)

表 18-1RTC0TMH (0x4065)

位	7	6	5	4	3	2	1	0
名称	RTC0TMH							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	1	1	1	1	1	1	1

表 18-2RTC0TML (0x4066)

位	7	6	5	4	3	2	1	0
名称	RTC0TML							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	1	1	1	1	1	1	1

字段	名称	描述
[15:0]	RTC0TM	RTC 计数寄存器。 写入后，RTC 计数器以 32768Hz 从 0 计数到 RTC0TM[15:0]后溢出，中断，并重载为 0 继续计数。 读出值为正在计数的值，为计数瞬间值。

18.2.2 控制寄存器：RTC0STA (0x4067)

表 18-3

位	7	6	5	4	3	2	1	0
名称	RTC0EN	RTC0OV / RTC0IF	RSV					
类型	R/W	R/W	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
7	RTC0EN	RTC 使能位 0: 禁止 1: 使能
6	RTC0OV / RTC0IF	RTC 计时溢出/中断标志位。 当 RTCIE 为 1 时，此位溢出后将产生中断，MCU 可软件清 0 此位。 当 RTCIE 为 0 时，此位溢出后不会产生中断，但仍有标志，MCU 可读取该标志后将其清 0。 0: RTC 未溢出。 1: RTC 发生了溢出，软件应清 0。 注意此时若 MCU 一直未清 0，该位不会自清 0。发生 RTC 中断时，软件应该清零此位。
5:0	RSV	保留位

19 IO
19.1 IO 操作说明

- 1、 端口 P0.0~P0.7, P1.0~P1.7, P2.0~P2.7, P3.0~P3.7 映射到寄存器 P0, P1, P2, P3。
- 2、 P0_OE,P1_OE,P2_OE,P3_OE 用于配置 P0.0~P3.7 的输出使能
- 3、 P0.0~P3.7 均可使能上拉电阻，配置 P0_PU,P1_PU,P2_PU,P3_PU 对应的位为一。其中 P0.0~P0.1,P1.4~P1.7, P2.1~P2.2 的上拉电阻阻值约为 4.7KΩ，其余 PAD 的上拉电阻阻值约为 50KΩ。
- 4、 P1.4~P1.7, P2.0~P2.7, P3.0~P3.5 可配置为模拟 PAD，配置 P1_AN,P2_AN,P3_AN 对应的位为一。PAD 配置为模拟 PAD 后，对应 PAD 的所有数字功能配置失效，寄存器 P1, P2, P3 对应的位检测到的端口状态为 0。
- 5、 三相 U、V、W 输出的输出源 OCUH/OCVH/OCWH 和 OCUL/OCVL/OCWL 可以来自于 TIMER0, TIMER1 和 FOC 模块，通过配置 DRV_CTL 寄存器的 OCS 进行选择。DRV_OUT 寄存器的 MOE 选择寄存器配置的空闲电平（DRV_OUT 寄存器的 OISUH/OISVH/OISWH 和 OISUL/OISVL/OISWL）还是输出源 OCUH/OCVH/OCWH 和 OCUL/OCVL/OCWL 送进 DRIVER 模

块。

6、TIM0 端口输出可以来源于 TIMER0 的通道 4 输出 T0_OC4 和空闲电平 OIS4，通过 DRV_OUT 寄存器的 MOE 选择。

7、DRV_OUT 寄存器的 MOE 可以由软件写零和写一，当发生过流保护时硬件会自动清零。

8、IO 优先级:

a) 对于所有复用端口，GPIO 的优先级最低

b) P0.1: I2C > TIMER4 > GPIO

c) P0.5: UART > SPI > GPIO

d) P0.6: UART > SPI > GPIO

e) P0.7: CMP > SPI > TIMER5 > GPIO

f) 对于 UART，UT1EN 优先级高于 UT0EN，即当 UT1EN/UT0EN=11，P0.6 作为 UART 的 RXD；P0.5 和 P3.4 都为 UART 的 TXD

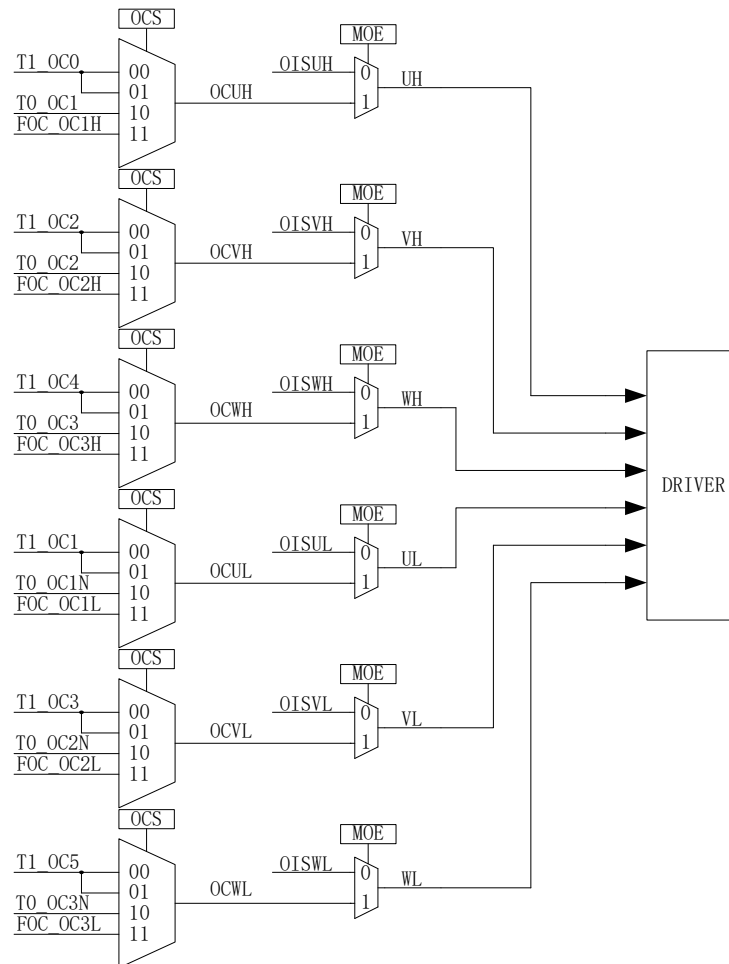


图 19-1 三相 U/V/W 输出配置

19.2 IO 寄存器

19.2.1 P0_OE (0xFC)

表 19-1 P0_OE (0xFC)

位	7	6	5	4	3	2	1	0
名称	P0_OE							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	P0_OE	P0.0~P0.7的数字输出使能 1: 使能输出 0: 禁止输出

19.2.2 P1_OE (0xFD)

表 19-2 P1_OE (0xFD)

位	7	6	5	4	3	2	1	0
名称	P1_OE							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	P1_OE	P1.0~P1.7的数字输出使能 1: 使能输出 0: 禁止输出

19.2.3 P2_OE (0xFE)

表 19-3 P2_OE (0xFE)

位	7	6	5	4	3	2	1	0
名称	P2_OE							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	P2_OE	P2.0~P2.7的数字输出使能 1: 使能输出 0: 禁止输出

19.2.4 P3_OE (0xFF)

表 19-4 P3_OE (0xFF)

位	7	6	5	4	3	2	1	0
名称	P3_OE							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	P3_OE	P3.0~P3.7的数字输出使能 1: 使能输出 0: 禁止输出

19.2.5 P1_AN (0x4050)

表 19-5 P1_AN (0x4050)

位	7	6	5	4	3	2	1	0
名称	P1_AN				HBMODE	RSV	ODE1	ODE0
类型	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述															
[7:4]	P1_AN	P1.7~P1.4的模拟模式使能 1: 使能 0: 禁止															
[3]	HBMODE	P1.3 模式配置，与 P1_OE.3 组合决定 P1.3 的功能模式。															
		<table border="1"> <thead> <tr> <th>HBMODE</th> <th>P1_OE.3</th> <th>P1.3 模式</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>数字输入</td> </tr> <tr> <td>0</td> <td>1</td> <td>数字输出</td> </tr> <tr> <td>1</td> <td>0</td> <td>模拟模式</td> </tr> <tr> <td>1</td> <td>1</td> <td>数字强驱动输出，输出高可提供强驱动，输出低的驱动能力同‘01’数字输出模式。</td> </tr> </tbody> </table>	HBMODE	P1_OE.3	P1.3 模式	0	0	数字输入	0	1	数字输出	1	0	模拟模式	1	1	数字强驱动输出，输出高可提供强驱动，输出低的驱动能力同‘01’数字输出模式。
		HBMODE	P1_OE.3	P1.3 模式													
		0	0	数字输入													
0	1	数字输出															
1	0	模拟模式															
1	1	数字强驱动输出，输出高可提供强驱动，输出低的驱动能力同‘01’数字输出模式。															
[2]	RSV	保留位															
[1]	ODE1	P0.1 的漏极开路 (open drain) 使能 1: 使能 0: 禁止															
[0]	ODE0	P0.0 的漏极开路 (open drain) 使能 1: 使能 0: 禁止															

19.2.6 P2_AN (0x4051)

表 19-6 P2_AN (0x4051)

位	7	6	5	4	3	2	1	0
名称	P2_AN							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	P2_AN	P2.7~P2.0的模拟模式使能 1: 使能 0: 禁止

19.2.7 P3_AN (0x4052)

表 19-7P3_AN (0x4052)

位	7	6	5	4	3	2	1	0
名称	RSV		P3_AN					
类型	R	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:6]	RSV	保留位
[5:0]	P3_AN	P3.5~P3.0的模拟模式使能 1: 使能 0: 禁止

19.2.8 P0_PU (0x4053)

表 19-8 P0_PU (0x4053)

位	7	6	5	4	3	2	1	0
名称	P0_PU							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	P0_PU	P0.7~P0.0的上拉电阻使能 1: 使能 0: 禁止

19.2.9 P1_PU (0x4054)

表 19-9 P1_PU (0x4054)

位	7	6	5	4	3	2	1	0
名称	P1_PU							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	P1_PU	P1.7~P1.0的上拉电阻使能 1: 使能 0: 禁止

19.2.10 P2_PU (0x4055)

表 19-10 P2_PU (0x4055)

位	7	6	5	4	3	2	1	0
名称	P2_PU							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	P2_PU	P2.7~P2.0的上拉电阻使能 1: 使能 0: 禁止

19.2.11 P3_PU (0x4056)

表 19-11 P3_PU (0x4056)

位	7	6	5	4	3	2	1	0
名称	P3_PU							
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	P3_PU	P3.7~P3.0的上拉电阻使能 1: 使能 0: 禁止

19.2.12 DRV_CTL (0x404D)

表 19-12 DRV_CTL (0x404D)

位	7	6	5	4	3	2	1	0
名称	RSV				OCS		PDRVEN	DRVOE
类型	R	R	R	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:4]	RSV	保留位
[3:2]	OCS	OCUH/OCVH/OCWH和OCUL/OCVL/OCWL输出数据源选择 0X: TIMER1输出 (T1_OC0, T1_OC1, T1_OC2, T1_OC3, T1_OC4, T1_OC5) 10: TIMER0输出 (T0_OC1, T0_OC1N, T0_OC2, T0_OC2N, T0_OC3, T0_OC3N) 11: FOC 输出 (FOC_OC1H, FOC_OC1L, FOC_OC2H, FOC_OC2L, FOC_OC3H, FOC_OC3L)
[1]	PDRVEN	Driver 使能 0: 禁止 1: 使能 注意: 只针对 Predriver 模式有作用, Predriver 模式下 PDRVEN 为 1 将打开 VBB 的 LDO, 约 1mS 后电压才稳定; Gate Driver 模式不需要此位控制。
[0]	DRVOE	Driver输出使能 0: 禁止 1: 使能 注意: 如果是 Predriver 模式, 应先将 PDRVEN 变高 1mS 后再设置 DRVOE 为 1, 以免输出端口的电平不正确。

19.2.13 DRV_OUT (0xF8)

表 19-13 DRV_OUT (0xF8)

位	7	6	5	4	3	2	1	0
名称	MOE	OIS4	OISWL	OISWH	OISVL	OISVH	OISUL	OISUH
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	MOE	主输出使能 1: 主输出UVW来源于TIMER0/TIMER1/FOC模块的输出, TIM0端口输出来源于TIMER0的通道4输出T0_OC4

		0: 主输出UVW来源于空闲电平OISUH/OISVH/OISWH和OISUL/OISVL/OISWL, TIM0输出来源于空闲电平OIS4 该位用于选择三相UVW上下桥输出和输出端口TIM0的来源。当MOE=1, 输出来源于TIMER0/TIMER1/FOC的有效驱动信号驱动电机; 当MOE=0, 输出无效电平关闭六个通道的MOS。该位软件置1和清0, 母线电流保护产生(见26.1.2)时, 硬件自清零, 关闭输出。
[6]	OIS4	输出端口TIM0的输出空闲电平 该位设置输出TIM0的空闲电平, 当MOE=0, 输出该空闲电平
[5]	OISWL	WL的输出空闲电平 参考 OISUH 描述
[4]	OISWH	WH的输出空闲电平 参考 OISUH 描述
[3]	OISVL	VL的输出空闲电平 参考 OISUH 描述
[2]	OISVH	VH的输出空闲电平 参考 OISUH 描述
[1]	OISUL	UL的输出空闲电平 参考 OISUH 描述
[0]	OISUH	UH的输出空闲电平 该位设置输出UH的空闲电平, 当MOE=0, 输出空闲电平关闭对应的MOS。

19.2.14 PH_SEL (0x404C)

表 19-14 PH_SEL (0x404C)

位	7	6	5	4	3	2	1	0
名称	RSV	UT1EN	UT0EN	T4SEL	T3SEL	T2SEL	T5SEL	T0CH4SEL
类型	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	RSV	保留位
[6]	UT1EN	UART端口使能1 0: P0.6, P0.5 作为 GPIO 或者 SPI 的端口 1: P0.6 作为 UART 的 RXD; P0.5 作为 UART 的 TXD
[5]	UT0EN	UART端口使能0 0: P3.4, P3.3作为GPIO 1: P3.3作为UART的RXD; P3.4作为UART的TXD 注: UT1EN 优先级高于 UT0EN, 当 UT1EN/UT0EN=11, P0.6 作为 UART 的 RXD; P0.5 和 P3.4 都为 UART 的 TXD;
[4]	T4SEL	TIMER4端口使能 0: P0.1作为GPIO 1: P0.1作为TIMER4的输入输出 注: I2C 的优先级高于 TIMER4, 当使能 I2C, P0.1 作为 I2C 的端口

		SCL
[3]	T3SEL	TIMER3端口使能 0: P1.1 作为 GPIO 1: P1.1作为TIMER3的输入输出
[2]	T2SEL	TIMER2端口使能 0: P1.0 作为 GPIO 1: P1.0作为TIMER2的输入输出
[1]	T5SEL	TIMER5端口使能 0: P0.7作为GPIO 1: P0.7作为TIMER5的输入输出 注: 比较器和 SPI 的优先级高于 TIMER5, 只有当 CMP_CR2 寄存器的 CMPOE=0 并且 SPI 不使能, T5SEL=1 时, P0.7 才作为 TIMER5 的输入输出
[0]	T0CH4SEL	TIMER0端口使能 0: P3.2 作为 GPI 1: P3.2作为TIMER0的通道4输出, 根据DRVOE寄存器的MOE输出有效输出T0_OC4还是空闲电平OIS4

19.2.15 P0 (0x80) /P1 (0x90) /P2 (0xA0) /P3 (0xB0)

端口输出寄存器 P0/1/2/3 支持读写访问, RMW (read-modify-write) 指令访问的是寄存器的值 (RMW 指令参见), 其他指令访问的是 PORT 管脚。

表 19-15 P0/P1/P2/P3

位	7	6	5	4	3	2	1	0
名称	Px[7]	Px[6]	Px[5]	Px[4]	Px[3]	Px[2]	Px[1]	Px[0]
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

寄存器名称	功能描述	R/W	初始值
P0[7:0]	端口寄存器 0	R/W	0x00
P1[7:0]	端口寄存器 1	R/W	0x00
P2[7:0]	端口寄存器 2	R/W	0x00
P3[7:0]	端口寄存器 3	R/W	0x00

表 19-16 read modify write instructions

指令	功能描述
ANL	Logic AND
ORL	Logic OR
XRL	Logic exclusive OR
JBC	Jump if bit is set and clear
CPL	Complement bit
INC,DEC	Increment, decrement byte

DJNZ	Decrement and jump if not zero
MOV Px,y, C	Move carry bit to bit y of port x
CLR Px,y	Clear bit y of port x
SETB Px,y	Set bit y of port x

20 时钟与振荡器

芯片包含四个时钟模块：内部快时钟、内部慢时钟、外部快时钟、外部慢时钟。系统时钟只能工作在内部快时钟或者外部快时钟，由配置寄存器选择或者程序切换；内部慢时钟用于看门狗时钟，可配置看门狗的溢出时间；外部快时钟用于芯片外部时钟输入或者外部晶体振荡模式；外部慢时钟用于 RTC 计数使用。

20.1 外部快时钟

20.1.1 外部快时钟操作说明

外部快时钟工作有两种不同模式，晶体输入模式及外部时钟输入模式。

20.1.1.1 外部快时钟晶体输入模式

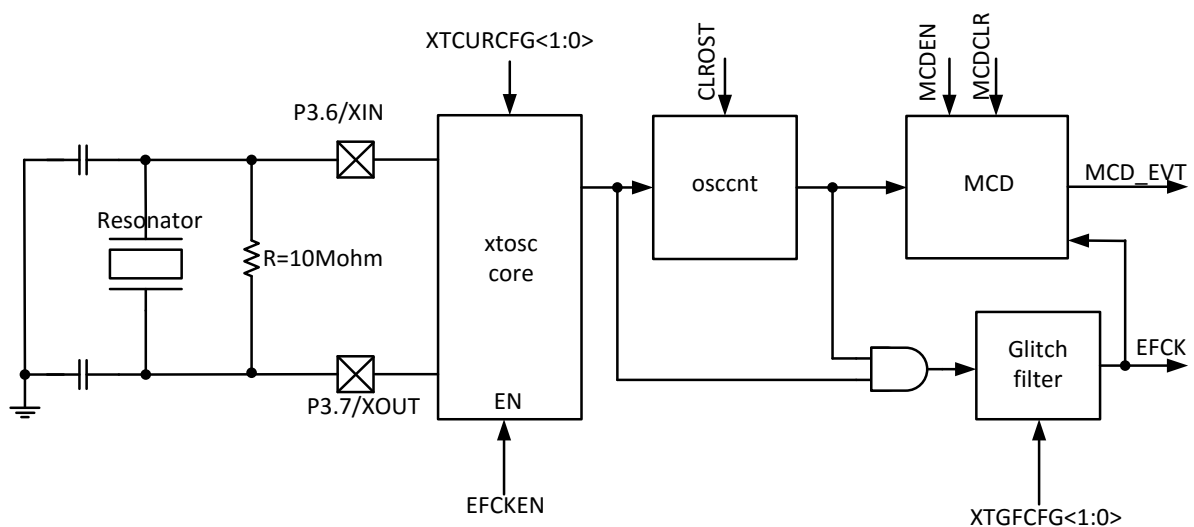


图 20-1 外部快时钟 xtosc 模块晶体输入模式

外部快时钟晶体输入模式如图 20-1 所示。外部快时钟模块的功能是产生精准的 24MHz 频率的时钟。

要使外部快时钟 xtosc 工作在晶体输入模式，需配置 Flash 的配置寄存器：ECMOD=0。

同时模块外部晶振的接法如图 20-1 所示。

要使外部快时钟 xtosc 模块在晶体输入模式下能够正常的工作，需配置：EFCKEN=1。

20.1.1.2 外部快时钟外部时钟输入模式

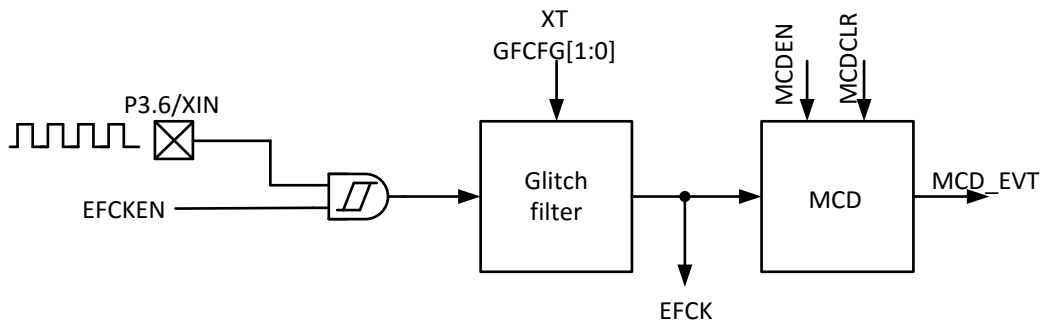


图 20-2 外部快时钟外部时钟输入模式

外部快时钟外部时钟输入模式如图 20-2 所示。

要使外部快时钟 `xtosc` 工作在外部时钟输入模式，需配置 Flash 的配置寄存器：`ECMOD=1`。

外部时钟由 XIN 的 pad 端口（即 P3.6）输入。

要使外部快时钟 `xtosc` 模块在外部时钟输入模式下正常的工作，需配置：`EFCKEN=1`。

`CLR_OST` 是清 OST 计数器的信号，高电平有效，当晶体电路作为晶体模式启动时，OST 计数器会计数 1024 个时钟然后 `EFCK` 才会输出时钟，这是为了等待时钟稳定后才输出。

当晶体电路工作在外部时钟输入模式，OST 不起作用。OST 计数器在晶体电路没有使能时硬件会自动清 0，`CLR_OST` 是用于时钟缺失时，系统自动切换时钟至内部时钟，然后软件重新切换时钟至外部时钟时需要清除 OST 计数器，此时需要往 `CLROST` 送高脉冲。

`XTOSC_EN` 外部快时钟电路晶体模式使能端，高电平有效。

20.1.2 外部快时钟寄存器

20.1.2.1 OSC_CFG (SFR: 0xF1)

表 20-1 外部快时钟相关寄存器二

位	7	6	5	4	3	2:0
名称	EFCKEN	IFCKEN	CKFLAG /MCDRET	ESOSCAE	ESOSCEN	RSV
类型	R/W	R/W	R/W	R/W	R/W	R
复位值	0	0	0	0	0	0

字段	名称	描述
7	EFCKEN	外部快时钟强制使能端。 0: 外部快时钟依据 <code>EC_MODE</code> 设置自动使能或禁止 1: 外部快时钟强制使能
6:0		其他 7 位请参考表 21-1。

20.2 内部快时钟

20.2.1 内部快时钟操作说明

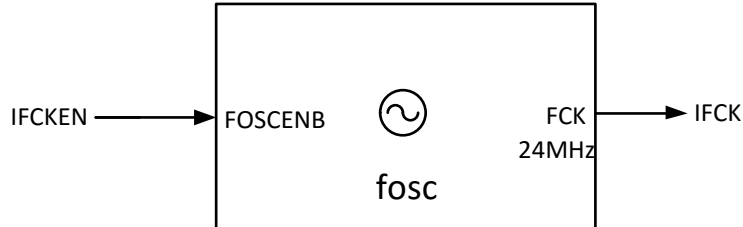


图 20-3 内部快时钟的输入输出相关信号

内部快时钟的输入输出端的情况如图 20-3 所示。内部快时钟的作用是产生频率为 24MHz 的精准时钟。要使内部快时钟工作，需配置：IFCKEN =0。睡眠模式时（PCON.STOP=1），内部快时钟不工作。

20.2.2 内部快时钟寄存器

20.2.2.1 OSC_CFG (SFR: 0xF1)

表 20-2 内部快时钟相关寄存器

位	7	6	5	4	3	2	1	0
名称	EFCKEN	IFCKEN	CKFLAG /MCDRET	ESOSCAE	ESOSCEN	RSV		
类型	R/W	R/W	R/W	R/W	R/W	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
6	IFCKEN	内部快时钟强制使能端。 0：内部快时钟依据CKMOD设置自动使能或禁止： 1：内部快时钟强制使能
7,5:0		其他 7 位请参考表 21-1。

20.3 外部慢时钟

20.3.1 外部慢时钟操作说明

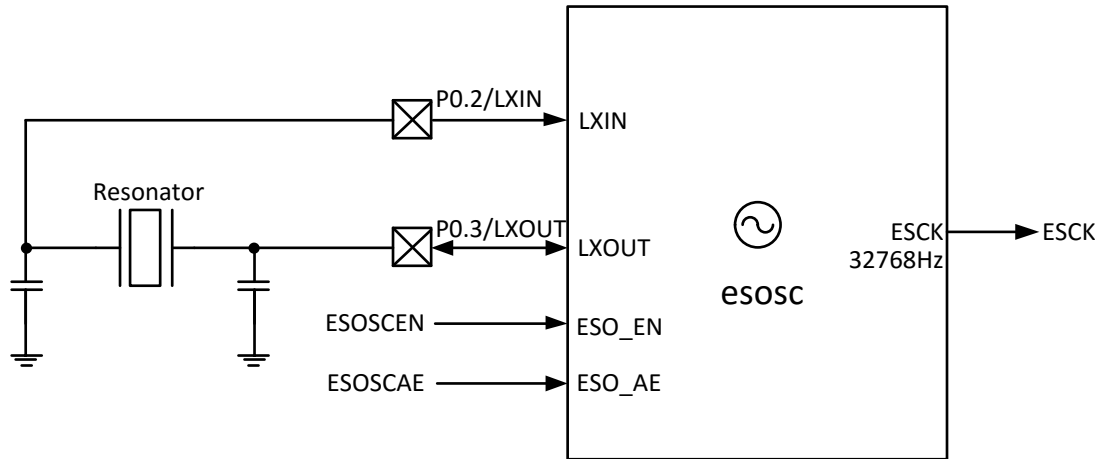


图 20-4 外部慢时钟 esosc 的端口输入输出情况

外部慢时钟 esosc 的端口情况如图 20-4 所示。外部慢时钟的作用是产生一个 32768Hz 频率的时钟信号。

要使外部慢时钟工作，需配置：ESOSCEN=1，ESOSCAE=1。

20.3.2 外部慢时钟寄存器

20.3.2.1 OSC_CFG(SFR: 0xF1)

表 20-3 外部慢时钟相关寄存器一

位	7	6	5	4	3	2	1	0
名称	EFCKEN	IFCKEN	CKFLAG /MCDRET	ESOSCAE	ESOSCEN	RSV		
类型	R/W	R/W	R/W	R/W	R/W	R	R	R
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
4	ESOSCAE	外部慢时钟晶体 PIN 使能为模拟输入。 0：外部慢时钟晶体 PIN 是否模拟输入由其它 IO 控制位决定。 1：外部慢时钟晶体 PIN 为模拟输入。
3	ESOSCEN	外部慢时钟使能端。 0：禁止外部慢时钟。 1：使能外部慢时钟。
7:5,2:0		其他 6 位参考表 21-1。

20.4 内部慢时钟

20.4.1 内部慢时钟操作说明

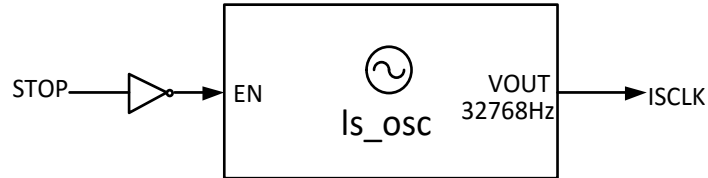


图 20-5 内部慢时钟 ISOSC 端口的输入输出情况

内部慢时钟的端口情况如图 20-5 所示。内部慢时钟的作用是产生 32768Hz 的频率的时钟信号。睡眠模式下(PCON.STOP=1)，内部慢时钟不工作。

20.4.2 内部慢时钟寄存器

无。

21 时钟控制与 MCD 功能

21.1 晶体配置寄存器 OSC_CFG

表 21-1 OSC_CFG (0xF1)

位	7	6	5	4	3	2:0
名称	EFCKEN	IFCKEN	CKFLAG /MCDRET	ESOSCAE	ESOSCEN	RSV
类型	R/W	R/W	R/W	R/W	R/W	R
复位值	0	0	0	0	0	0

字段	名称	描述
7	EFCKEN	外部快时钟强制使能。 0: 外部快时钟依据 CKMOD 设置自动使能或禁止。 1: 外部快时钟强制使能。
6	IFCKEN	内部快时钟强制使能 0: 内部快时钟依据 CKMOD 设置自动使能或禁止。 1: 内部快时钟强制使能。
5	CKFLAG / MCDRET	读: 系统时钟标志: 0: 系统正运行于内部快时钟下。 1: 系统正运行于外部快时钟下。 注意: 软件设置 CKMOD 时, 系统时钟未必会立即切换成功, 而是受双速模式、时钟缺失状态的影响, 而 CKFLAG 标志能够正确反映系统时钟状态。

		<p>写：写入 1 时，退出当前由于 MCD_EVT 而强制使用的内部快时钟模式。</p> <p>当外部快时钟缺失 MCD_EVT 事件发生时，系统自动激发内部快时钟，并自动切换至内部快时钟，MCDIF 自动置为 1，依 MCDIE 可进入 MCD 中断，MCU 需清其为 0。然后，MCU 若要再次退回到外部快时钟，则需写 MCDRET 为 1。退回到外部快时钟时，若 SPD2=1 则系统运行于内部快时钟下直到外部快时钟出现，若 SPD2=0 则直接切到外部快时钟而无论此时外部快时钟是否存在。MCDRET 维持一个内部快时钟周期的高电平，同时 CLROST 输出 1 周期高电平</p> <p>写入 0 时无意义。</p>
4	ESOSCAE	<p>外部慢时钟晶体 PIN 使能为模拟输入。</p> <p>0：外部慢时钟晶体 PIN 是否模拟输入由其它 IO 控制位决定。</p> <p>1：外部慢时钟晶体 PIN 为模拟输入。</p>
3	ESOSCEN	<p>外部慢时钟使能。</p> <p>0：禁止外部慢时钟。</p> <p>1：使能外部慢时钟。</p>
2: 0	RSV	保留位

21.2 MCD 功能与双速模式

MCD (Missing Clock Detect) 功能即时钟缺失侦测。当系统运行于外部快时钟晶振模式时，外部快时钟很容易受到各种噪声的干扰，当外部干扰很强时甚至有可能导致晶振停振，为防止这种情况发生，可以使用 MCD 功能来降低这种情况下对系统的不良影响。

使用方法，预先设置配置寄存器 MCDEN=1，当系统运行于外部快时钟时，若外部晶振停振，则芯片将会自动侦测到发生了时钟缺失事件，并且自动激发内部快时钟，自动切换至内部快时钟，若预先设置了 MCDIE=1 中断使能，则此时切换到内部快时钟后系统会发出 MCD 中断，软件可在 MCD 中断服务程序中清零 MCD 中断标志位 MCDIF，并且读 CKFLAG 知道目前系统时钟是运行于内部快时钟还是外部快时钟。

若此时软件还想使用回外部快时钟，则需再写 OSC_CFG.CKFLAG 为 1，即系统从目前的内部快时钟模式自动退回到外部快时钟，并再次激发外部快时钟。

注意，设置 MCDEN=1 时，推荐设置 CCFG3.SPD2 为 1。

SPD2 为双速模式，设置 SPD2=1 时表示在切换时钟时，当目标时钟还没有稳定工作时，仍使用原来的时钟，直到目标时钟稳定工作才切换到目标时钟，以此来降低因时钟激发/切换的故障而对系统可靠性的影响。

22 ADC

22.1 ADC 功能框图

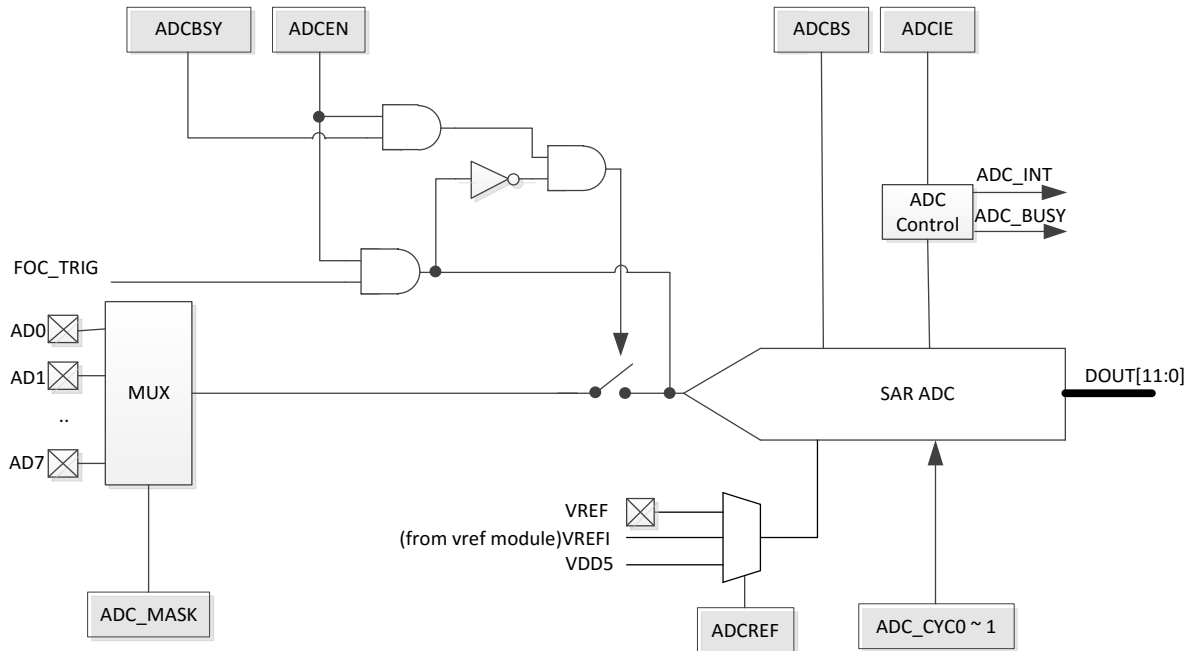


图 22-1 ADC 功能框图

22.2 ADC 操作说明

芯片内部集成一个支持 8 通道同步采样，精度为 10bit/12bit 可选的 ADC。启动 ADC 操作前，设置好需要采样的对应通道的编号即设置寄存器 ADC_MASK，设置合适的每个通道的采样时钟周期延时（最小值为 3），设置 ADC_STA 寄存器的 ADCEN 和 ADCBSY 位后，ADC 开始工作。

另外，ADC 支持触发功能，且触发功能优先级比 MCU 软件操作优先级高，触发源可来自于 TIMER2 和 FOC 模块，当 FOC 模块使能后，TIMER2 的 ADC 触发功能自动被禁止使用。

若使用 TIMER2 的 ADC 触发功能，则需要配置 TIMER2 的 TIM2_ADTR 寄存器，同时开启 ADC TRIGGER 功能，即需设置 ADCEN=1、AD_TRIG_EN=1，当触发条件满足，将自动启动 ADC 模块，并将采样的值存进 ADC4_DR 寄存器，详细请参考第 16.1.2 节；

若启动 FOC 功能（配置 FOC_SET0 寄存器的 FOC_EN=1），FOC 模块将自动启动 ADC 模块并在需要的时候触发 ADC 采样，并将采样的值自动送至 FOC 模块，同时也送至对应的 ADCx_DR 寄存器。

注：ADC 的触发功能优先级较高，当触发条件满足需要 ADC 采样时，如果当前正在软件操作 ADC 采样，ADC 会打断当前操作，执行触发功能，触发功能采样完毕后恢复之前 ADC 软件操作的动作。

ADC 具体操作步骤:

1. 设置合适的各通道采样时钟周期 ADC_SCYC, 最小为 3, 具体设置值应与实际应用环境相关。
2. 设置合适的 ADC 参考电压 ADCREF。需要特别注意的是, 若选择内部 VREF 做参考电压, 且选择 VREF=5V 档时, VDD5 必须大于 5.3V, 即在高压模式(VCC_MODE=0)下, 不能提供 VREF=5V 的应用。
3. 设置 ADCBS 采样位数。
4. MCU 软件操作:
 - a) 设置需要采样的通道 ADC_MASK。
 - b) 设置是否开启 ADC 中断使能 ADCIE。
 - c) 设置 ADCEN=1, 设置 ADCBSY=1 启动 ADC
 - d) ADC 扫描采样结束后 (ADCBSY=0) MCU 可读到 ADC0~7_DR 的值。
5. TIMER2 的触发功能:
 - a) 配置 TIMER2 为输出模式, 设置 TIM2_ADTR, 启动 TIMER2
 - b) 设置是否开启 ADC 触发中断使能 ADTRIGIE
 - c) 设置 ADTRIGEN=1
 - d) 触发条件满足后, ADC 采样, 采样结束后, 更新 ADC4_DR 的值
6. FOC 的触发功能
 - a) 启动 FOC 功能
 - b) 设置是否开启 ADC 触发中断使能 ADTRIGIE
 - c) 触发条件满足后, ADC 采样, 采样结束后, 更新对应的 ADCx_DR 寄存器

22.3 ADC 寄存器

22.3.1 ADC_STA (0x4037)

表 22-1 ADC_STA (0x4037)

位	7	6	5	4:2	1	0
名称	ADCEN	ADCBSY	ADCBS	RSV	ADCIE	ADCIF
类型	R/W	R/W1	R/W	R	R/W	R/W
复位值	0	0	0	0	0	0

字段	名称	描述
[7]	ADCEN	使能ADC功能 0:禁止。 1:使能。

[6]	ADCBSY	ADC 忙标志。 MCU 操作 ADC 时应先写 ADCEN 位，使电路准备好，再写 ADCBSY 进行转换。MCU 写 1 后开始 ADC 转换，转换完毕硬件自动清 0。MCU 也可以读取此位以判断 ADC 是否处于转换过程中。若此位已经为 1 时 MCU 再写 1 无意义。此位 MCU 只可写 1，写 0 无意义，读出时表示 ADC 状态(不包括 TRIG 状态)。ADC_MASK=0 时此位写 1 无意义。
[5]	ADCBS	ADC 分辨率设置 0: 12bit ADC. (Default) 1: 10bit ADC 注意：所有 TRIG 的数据除送到对应模块外，还保存在对应的 ADCx_DR 中，其数据同时受 ADCBS 控制。
[4:2]	RSV	保留
[1]	ADCIE	ADC 中断使能。用于控制 ADCIF 是否向 MCU 发起中断事件。(不包含 TRIG 模式中断) 0:禁止。 1:使能。
[0]	ADCIF	ADC 转换结束标志位。当本次 ADC 转换完毕时，若 ADCIE=1 则向 MCU 发起 ADC 中断事件。此位不受 ADC_IE 节制。 0:本次 ADC 转换未完毕。 1:本次 ADC 转换完毕。 此位与 ADTRIGIF 共用 ADC 中断入口。软件应判断是 AD_TRIG_IF 还是 ADCIF，并对应清零此标志位。

22.3.2 ADC_CFG (0x4035)

表 22-2 ADC_CFG (0x4035)

位	7:5	4:3	2	1	0
名称	RSV	ADCREF	ADTRIGEN	ADTRIGIE	ADTRIGIF
类型	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0

字段	名称	描述
[7:5]	RSV	保留
[4:3]	ADCREF	ADC 参考电压选择 0: VDD5 1: 外部 VREF 2: 内部 VREF。 3: 内部 VREF，同时 VREF 送出至 PAD 注意： 1. 选择 ADC 的电参考压为外部 VREF 时，应先将 P3.5 配置为模拟形式 (P3_AN[5]=1) 2. 选择内部 VREF 时，需要设置寄存器 VREF_CR 的 VREFEN 使能位为 1，为 ADC 提供参考电压

[2]	ADTRIGEN	ADC TRIG 功能使能。 0:禁止。 1:使能。 注意：当需要 TIMER2 触发 ADC 功能时，MCU 需要置此位为 1，设置 TIM2_ADTR 并启动 TIMER2
[1]	ADTRIGIE	ADC 触发（TRIG）中断使能位。用于控制 ADTRIGIF 是否向 MCU 发起中断事件 0:禁止。 1:使能。
[0]	ADTRIGIF	ADC 触发模式结束标志位。此位不受 ADTRIGIE 节制。1：发生了 ADC 触发事件并结束。 0：未发生 ADC 触发。 此位与 ADCIF 共用 ADC 中断入口。软件应判断是 AD_TRIG_IF 还是 ADCIF，并对应清 0 标志位。

22.3.3 ADC_MASK (0x4036)

表 22-3 ADC_MASK (0x4036)

位	7	6	5	4	3	2	1	0
名称	ADC_MASK[7]	ADC_MASK[6]	ADC_MASK[5]	ADC_MASK[4]	ADC_MASK[3]	ADC_MASK[2]	ADC_MASK[1]	ADC_MASK[0]
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	ADC_MASK[7]	ADC 第 7 通道使能
[6]	ADC_MASK[6]	ADC 第 6 通道使能
[5]	ADC_MASK[5]	ADC 第 5 通道使能
[4]	ADC_MASK[4]	ADC 第 4 通道使能
[3]	ADC_MASK[3]	ADC 第 3 通道使能
[2]	ADC_MASK[2]	ADC 第 2 通道使能
[1]	ADC_MASK[1]	ADC 第 1 通道使能
[0]	ADC_MASK[0]	ADC 第 0 通道使能

22.3.4 ADC0_DR={ADC0_DRH,ADC0_DRL} (0x4038~0x4039)

表 22-4 ADC0_DR={ADC0_DRH,ADC0_DRL} (0x4038~0x4039)

ADC0_DRH (0x4038)

位	7:4	3	2	1	0
名称	RSV	DH[3]	DH[2]	DH[1]	DH[0]
类型	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0

ADC0_DRL (0x4039)

位	7	6	5	4	3	2	1	0
名称	DL[7]	DL[6]	DL[5]	DL[4]	DL[3]	DL[2]	DL[1]	DL[0]
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:12]	RSV	保留
[11:8]	DH	12bit 模式时, [11:8]为第0通道的高4位ADC转换数据 10bit 模式时, [9:8] 为第 0 通道的高 2 位 ADC 转换数据
[7:0]	DL	ADC 转换完成后, 第 0 通道的低 8 位数据

22.3.5 ADC1_DR={ADC1_DRH,ADC1_DRL} (0x403A~0x403B)

表 22-5 ADC1_DR={ADC1_DRH, ADC1_DRL} (0x403A~0x403B)

ADC1_DRH(0x403A)

位	7:4	3	2	1	0
名称	RSV	DH[3]	DH[2]	DH[1]	DH[0]
类型	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0

ADC1_DRL(0x403B)

位	7	6	5	4	3	2	1	0
名称	DL[7]	DL[6]	DL[5]	DL[4]	DL[3]	DL[2]	DL[1]	DL[0]
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:12]	RSV	保留
[11:8]	DH	12bit 模式时, [11:8]为第1通道的高4位ADC转换数据 10bit 模式时, [9:8] 为第 1 通道的高 2 位 ADC 转换数据
[7:0]	DL	ADC 转换完成后, 第 1 通道的低 8 位数据

22.3.6 ADC2_DR={ADC2_DRH,ADC2_DRL} (0x403C~0x403D)

表 22-6 ADC2_DR={ADC2_DRH, ADC2_DRL} (0x403C~0x403D)

ADC2_DRH(0x403C)

位	7:4	3	2	1	0
名称	RSV	DH[3]	DH[2]	DH[1]	DH[0]
类型	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0

ADC2_DRL(0x403D)

位	7	6	5	4	3	2	1	0
名称	DL[7]	DL[6]	DL[5]	DL[4]	DL[3]	DL[2]	DL[1]	DL[0]
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:12]	RSV	保留
[11:8]	DH	12bit 模式时, [11:8]为第2通道的高4位ADC转换数据 10bit 模式时, [9:8] 为第 2 通道的高 2 位 ADC 转换数据
[7:0]	DL	ADC 转换完成后, 第 2 通道的低 8 位数据

22.3.7 ADC3_DR={ADC3_DRH,ADC3_DRL} (0x403E~0x403F)

表 22-7 ADC3_DR={ADC3_DRH, ADC3_DRL} (0x403E~0x403F)

ADC3_DRH(0x403E)

位	7:4	3	2	1	0
名称	RSV	DH[3]	DH[2]	DH[1]	DH[0]
类型	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0

ADC3_DRL(0x403F)

位	7	6	5	4	3	2	1	0
名称	DL[7]	DL[6]	DL[5]	DL[4]	DL[3]	DL[2]	DL[1]	DL[0]
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:12]	RSV	保留
[11:8]	DH	12bit 模式时, [11:8]为第3通道的高4位ADC转换数据 10bit 模式时, [9:8] 为第 3 通道的高 2 位 ADC 转换数据
[7:0]	DL	ADC 转换完成后, 第 3 通道的低 8 位数据

22.3.8 ADC4_DR={ADC4_DRH,ADC4_DRL} (0x4040~0x4041)

表 22-8 ADC4_DR={ADC4_DRH, ADC4_DRL} (0x4040~0x4041)

ADC4_DRH(0x4040)

位	7:4	3	2	1	0
名称	RSV	DH[3]	DH[2]	DH[1]	DH[0]
类型	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0

ADC4_DRL(0x4041)

位	7	6	5	4	3	2	1	0
名称	DL[7]	DL[6]	DL[5]	DL[4]	DL[3]	DL[2]	DL[1]	DL[0]
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:12]	RSV	保留
[11:8]	DH	12bit 模式时, [11:8]为第4通道的高4位ADC转换数据 10bit 模式时, [9:8] 为第 4 通道的高 2 位 ADC 转换数据
[7:0]	DL	ADC 转换完成后, 第 4 通道的低 8 位数据

22.3.9 ADC5_DR={ADC5_DRH,ADC5_DRL} (0x4042~0x4043)

表 22-9 ADC5_DR={ADC5_DRH, ADC5_DRL} (0x4042~0x4043)

ADC5_DRH(0x4042)

位	7:4	3	2	1	0
名称	RSV	DH[3]	DH[2]	DH[1]	DH[0]
类型	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0

ADC5_DRL(0x4043)

位	7	6	5	4	3	2	1	0
名称	DL[7]	DL[6]	DL[5]	DL[4]	DL[3]	DL[2]	DL[1]	DL[0]
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:12]	RSV	保留
[11:8]	DH	12bit 模式时, [11:8]为第5通道的高4位ADC转换数据 10bit 模式时, [9:8] 为第 5 通道的高 2 位 ADC 转换数据
[7:0]	DL	ADC 转换完成后, 第 5 通道的低 8 位数据

22.3.10 ADC6_DR={ADC6_DRH,ADC6_DRL} (0x4044~0x4045)

表 22-10 ADC6_DR={ADC6_DRH, ADC6_DRL} (0x4044~0x4045)

ADC6_DRH(0x4044)

位	7:4	3	2	1	0
名称	RSV	DH[3]	DH[2]	DH[1]	DH[0]
类型	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0

ADC6_DRL(0x4045)

位	7	6	5	4	3	2	1	0
名称	DL[7]	DL[6]	DL[5]	DL[4]	DL[3]	DL[2]	DL[1]	DL[0]
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:12]	RSV	保留
[11:8]	DH	12bit 模式时, [11:8]为第6通道的高4位ADC转换数据 10bit 模式时, [9:8] 为第 6 通道的高 2 位 ADC 转换数据
[7:0]	DL	ADC 转换完成后, 第 6 通道的低 8 位数据

22.3.11 ADC7_DR={ADC7_DRH,ADC7_DRL} (0x4046~0x4047)

表 22-11 ADC7_DR={ADC7_DRH, ADC7_DRL} (0x4046~0x4047)

ADC7_DRH(0x4046)

位	7:4	3	2	1	0
名称	RSV	DH[3]	DH[2]	DH[1]	DH[0]
类型	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0

ADC7_DRL(0x4047)

位	7	6	5	4	3	2	1	0
名称	DL[7]	DL[6]	DL[5]	DL[4]	DL[3]	DL[2]	DL[1]	DL[0]
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[15:12]	RSV	保留
[11:8]	DH	12bit 模式时, [11:8]为第7通道的高4位ADC转换数据 10bit 模式时, [9:8] 为第 7 通道的高 2 位 ADC 转换数据
[7:0]	DL	ADC 转换完成后, 第 7 通道的低 8 位数据

22.3.12 ADC_SCYC0/ADC_SCYC1 (0x4048~0x4049)

表 22-12 ADC_SCYC0/ADC_SCYC1 (0x4048~0x4049)

ADC_SCYC0(0x4048)

位	7:4	3:0
名称	ADC23_SCYC[3:0]	ADC01_SCYC[3:0]
类型	R/W	R/W
复位值	0011	0011

字段	名称	描述
[7:4]	ADC23_SCYC[3:0]	ADC采样时钟周期设置，通道2/通道3共用 ADC23_SCYC[3] = 0时， 通道2/通道3采样时钟周期为ADC23_SCYC[2:0]个12MHz时钟周期。 ADC23_SCYC[3] = 1时， 通道2/通道3采样时钟周期为(ADC23_SCYC[2:0]*8 + 7)个12MHz时钟周期。
[3:0]	ADC01_SCYC[3:0]	ADC采样时钟周期设置，通道0/通道1共用 ADC01_SCYC[3] = 0时， 通道0/通道1采样时钟周期为ADC01_SCYC[2:0]个12MHz时钟周期。 ADC01_SCYC[3] = 1时， 通道0/通道1采样时钟周期为(ADC01_SCYC[2:0]*8 + 7)个12MHz时钟周期。

ADC_SCYC1(0x4049)

位	7:4	3:0
名称	ADC67_SCYC[3:0]	ADC45_SCYC[3:0]
类型	R/W	R/W
复位值	0011	0011

字段	名称	描述
[7:4]	ADC67_SCYC[3:0]	ADC采样时钟周期设置，通道6/通道7共用 ADC67_SCYC[3] = 0时， 通道6/通道7采样时钟周期为ADC67_SCYC[2:0]个12MHz时钟周期。 ADC67_SCYC[3] = 1时， 通道6/通道7采样时钟周期为(ADC67_SCYC[2:0]*8 + 7)个12MHz时钟周期。
[3:0]	ADC45_SCYC[3:0]	ADC采样时钟周期设置，通道4/通道5共用 ADC45_SCYC[3] = 0时， 通道4/通道5采样时钟周期为ADC45_SCYC[2:0]个12MHz时钟周期。 ADC45_SCYC[3] = 1时， 通道4/通道5采样时钟周期为(ADC45_SCYC[2:0]*8 + 7)个12MHz时钟周期。

23 VREF 参考电压

23.1 VREF 模块的操作说明

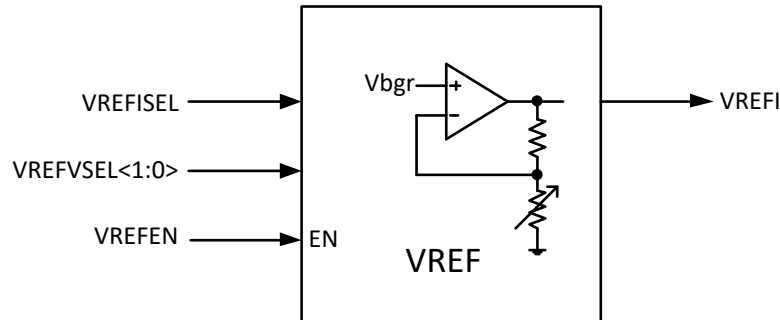


图 23-1 VREF 模块的端口输入输出情况

VREF 模块的端口情况如图 23-1 所示。VREF 是参考电压生成模块，可向 ADC 提供内部参考基准。

要使 VREF 工作，需要配置寄存器如下：VREFEN=1。VREFISEL 控制的是 VREF 模块中运放的偏置电流，VREFISEL=0 (default) 时，为正常电流工作模式；VREFISEL=1 时，为半电流工作模式。VREFVSEL 为输出电压 VREFI 电压控制端，具体见表 23-1。

23.2 VREF 模块的寄存器

23.2.1 VREF_CR(XRAM: 0x404F)

表 23-1 VREF_CR (0x404F)

位	7	6	5	4	3	2	1	0
名称	VREFVSEL		VREFISEL	VREFEN	RSV		VHALFM	VHALFEN
类型	R/W		R/W	R/W	R	R	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
7: 6	VREFVSEL	输出参考电压选择端。 00: 输出 3V; 01: 输出 4V; 10: 输出 4.5V 11: 输出 5V (此时电源电压 VDD5 必须大于 5.3V, 在低压模式 (VCC_MODE=1) 或者高压双电源模式下才适用)
5	VREFISEL	VREF 模块偏置电流模式选择端。 0: 正常工作模式 1: 半电流工作模式
4	VREFEN	VREF 模块使能信号, 用于给 ADC 提供内部参考基准

		0: 禁止 1: 使能
3:2	RSV	保留位。
1	VHALFM	VHALF 模块工作模式选择端。 0: 选择 VHALF 为 VDD/2; 1: 选择 VHALF 为 VREF/2 (注意: 这里 VREF 为内部 VREF 模块的输出)
0	VHALFEN	VHALF 工作使能。复位值: 0。 0: 使 VHALF 不能正常工作; 1: 使 VHALF 正常工作。

24 VHALF 参考电压

24.1 VHALF 模块的操作说明

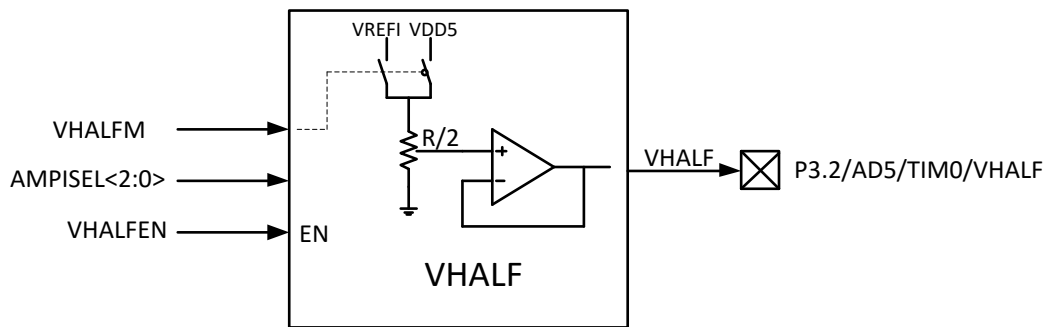


图 24-1 VHALF 模块的端口输入输出情况

VHALF 模块的端口情况如图 24-1 所示。VHALF 的作用是产生一个参考电压。

要使 VHALF 模块正常工作，需配置寄存器如下：VHALFEN=1。

24.2 VHALF 模块的寄存器

24.2.1 VREF_CR(XRAM: 0x404F)

表 24-1 VHALF 相关寄存器一

位	7	6	5	4	3	2	1	0
名称	VREFVSEL	VREFISEL	VREFEN	RSV	VHALFM	VHALFEN		
类型	R/W	R/W	R/W	R/W	R	R	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
7:2		其他 6 位请参考表 23-1。
1	VHALFM	VHALF 模块工作模式选择端。 0: 选择 VHALF 为 VDD/2;

		1: 选择 VHALF 为 VREF/2
0	VHALFEN	VHALF 工作使能。复位值: 0。 0: 使 VHALF 不能正常工作; 1: 使VHALF正常工作。

24.2.2 AMP_CR(XRAM: 0x404E)

表 24-2 VHALF 相关寄存器二

位	7	6	5	4	3	2	1	0
名称	RSV	AMPISEL			AMP3EN	AMP2EN	AMP1EN	AMP0EN
类型	R	R/W			R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述																		
7, 3: 0		其他5位请参考表25-1。																		
[6:4]	AMPISEL	AMP3~0, VHALF的偏置电流选择。补码编码, 值越大, 电流越大。 <table border="1" data-bbox="518 902 1173 1288"> <thead> <tr> <th>AMPISEL</th> <th>电流设置</th> </tr> </thead> <tbody> <tr><td>100B</td><td>1X</td></tr> <tr><td>101B</td><td>2X</td></tr> <tr><td>110B</td><td>3X</td></tr> <tr><td>111B</td><td>4X</td></tr> <tr><td>000B</td><td>5X</td></tr> <tr><td>001B</td><td>6X</td></tr> <tr><td>010B</td><td>7X</td></tr> <tr><td>011B</td><td>8X</td></tr> </tbody> </table>	AMPISEL	电流设置	100B	1X	101B	2X	110B	3X	111B	4X	000B	5X	001B	6X	010B	7X	011B	8X
AMPISEL	电流设置																			
100B	1X																			
101B	2X																			
110B	3X																			
111B	4X																			
000B	5X																			
001B	6X																			
010B	7X																			
011B	8X																			

25 运放

FU6831/11/18 集成有 4 个高速独立运算放大器 (运放), 分别为 AMP0、AMP1、AMP2、AMP3。每个运放均有独立的使能端。

25.1 运放操作说明

25.1.1 母线电流运放 (AMP0)

运放连接如图 25-1 所示。

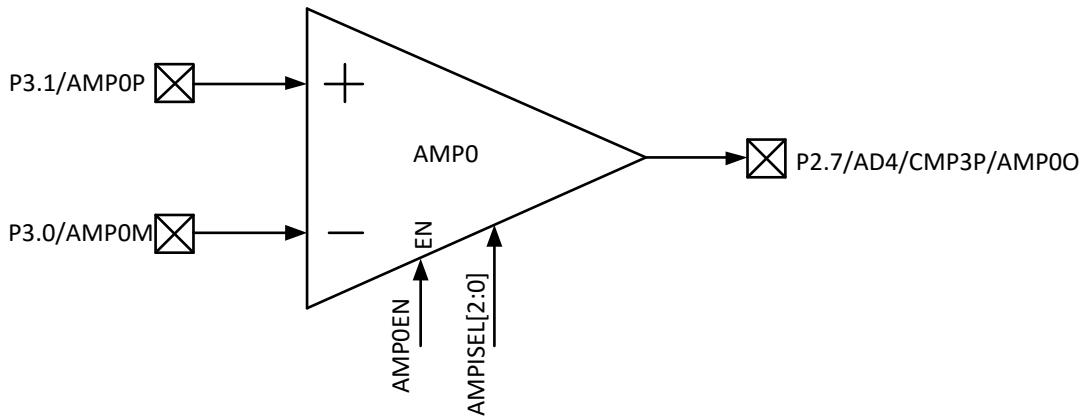


图 25-1 母线电流运放 (AMP0)

如果要使能母线电流模块，需配置：AMP0EN=1。

母线电流运放的输入输出端对应的 pad 如图 25-1 所示。AMPISEL 控制的是放大器 AMP3~0，四个放大器的偏置电流。使能 AMP0 运放前，应先使此运放相关的三个 GPIO 口全变成模拟模式，即 P2.7, P3.0, P3.1 全变成模拟模式，设置 P2_AN[7]=1, P3_AN[1:0]=11B。

25.1.2 相电流运放 (AMP1/AMP2/AMP3)

25.1.2.1 AMP1

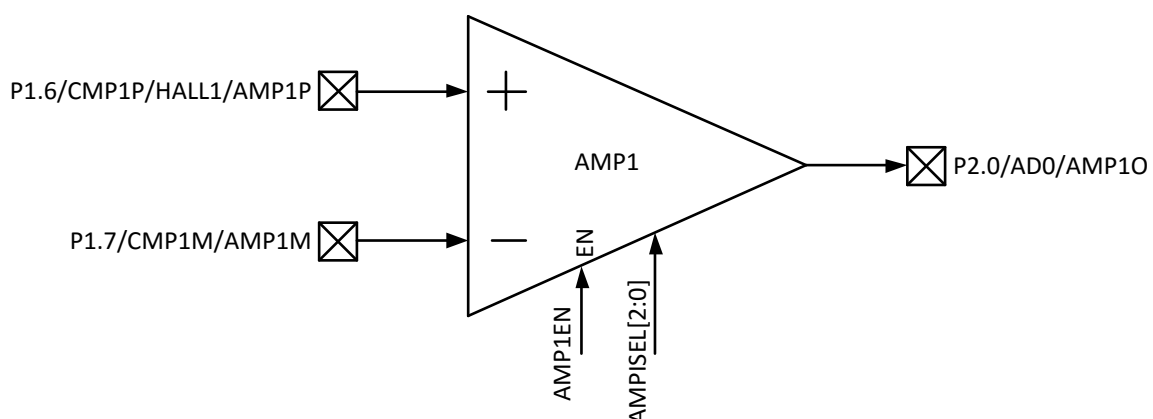


图 25-2 AMP1 输入输出相关 pad 的情况

如果要使能相电流运放 AMP1，需配置：AMP1EN=1。

相电流运放的输入输出端对应的 pad 如图 25-2 所示。AMPISEL 控制的是放大器 AMP0~3 的偏置电流。使能 AMP1 运放前，应先使此运放相关的三个 GPIO 口全变成模拟模式，即 P1.6, P1.7,

P2.0 全变成模拟模式，设置 P1_AN[7:6]=11B, P2_AN[0]=1B。

25.1.2.2 AMP2

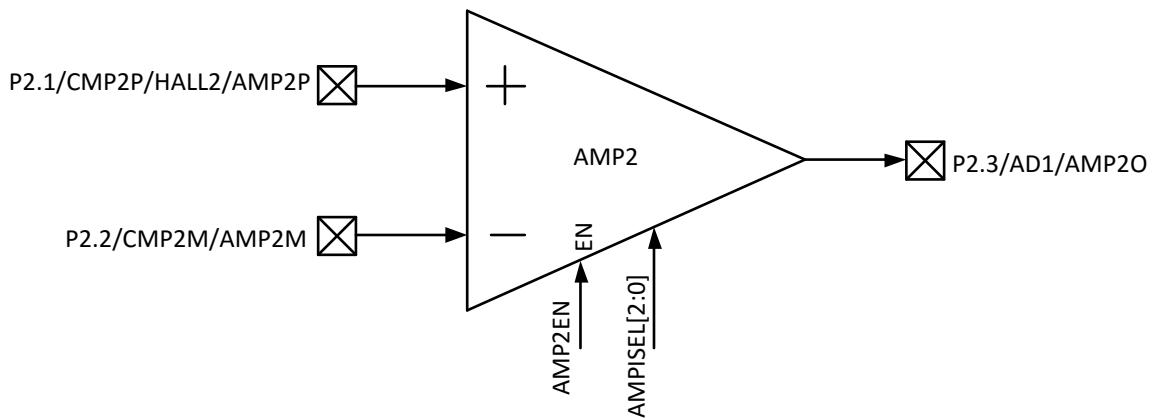


图 25-3 AMP2 输入输出相关 pad 的情况

如果要使能相电流运放 AMP2，需配置：AMP2EN=1。

相电流运放的输入输出端对应的 pad 如图 25-3 所示。AMPISEL 控制的是放大器 AMP0~3 的偏置电流。使能 AMP2 运放前，应先使与此运放相关的三个 GPIO 口全变成模拟模式，即 P2.1, P2.2, P2.3 全变成模拟模式，设置 P2_AN[3:1]=111B。

25.1.2.3 AMP3

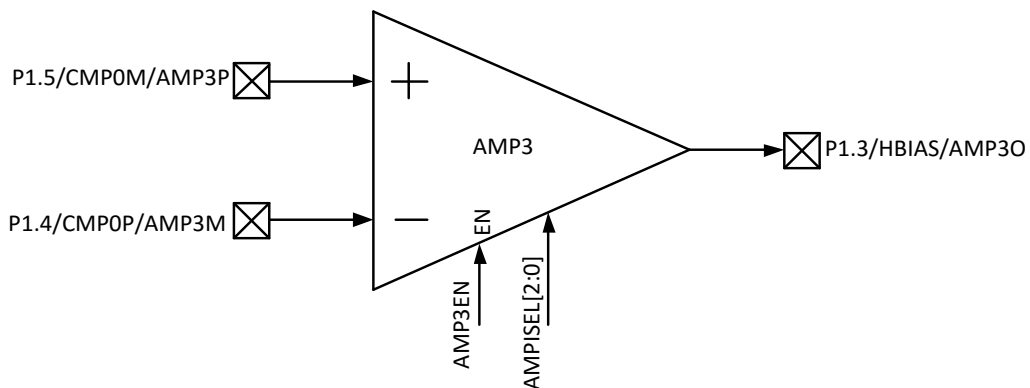


图 25-4 AMP3 输入输出相关 pad 的情况

如果要使能相电流运放 AMP3，需配置：AMP3EN=1。

相电流运放的输入输出端对应的 pad 如图 25-4 所示。AMPISEL 控制的是放大器 AMP0~3 的偏置电流。使能 AMP3 运放前，应先使与此运放相关的三个 GPIO 端口全变成模拟模式，即 P1.3, P1.4, P1.5 全变成模拟模式，设置 P1_AN[5:3]=111B, P1_OE.3=0。

25.2 运放寄存器

25.2.1 AMP_CR (0x404E)

表 25-1 AMP_CR (0x404E)

位	7	6	5	4	3	2	1	0
名称	RSV	AMPISEL			AMP3EN	AMP2EN	AMP1EN	AMP0EN
类型	R	R/W			R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述																		
[7]	RSV	保留位																		
[6:4]	AMPISEL	AMP3~0, VHALF的偏置电流选择。补码编码，值越大，电流越大。 <table border="1" data-bbox="518 801 1173 1191"> <thead> <tr> <th>AMPISEL</th> <th>电流设置</th> </tr> </thead> <tbody> <tr><td>100B</td><td>1X</td></tr> <tr><td>101B</td><td>2X</td></tr> <tr><td>110B</td><td>3X</td></tr> <tr><td>111B</td><td>4X</td></tr> <tr><td>000B</td><td>5X</td></tr> <tr><td>001B</td><td>6X</td></tr> <tr><td>010B</td><td>7X</td></tr> <tr><td>011B</td><td>8X</td></tr> </tbody> </table>	AMPISEL	电流设置	100B	1X	101B	2X	110B	3X	111B	4X	000B	5X	001B	6X	010B	7X	011B	8X
AMPISEL	电流设置																			
100B	1X																			
101B	2X																			
110B	3X																			
111B	4X																			
000B	5X																			
001B	6X																			
010B	7X																			
011B	8X																			
[3]	AMP3EN	使能AMP 3																		
[2]	AMP2EN	使能AMP 2																		
[1]	AMP1EN	使能AMP 1																		
[0]	AMP0EN	使能AMP 0																		

26 比较器

26.1 比较器操作说明

26.1.1 比较器 CMP3

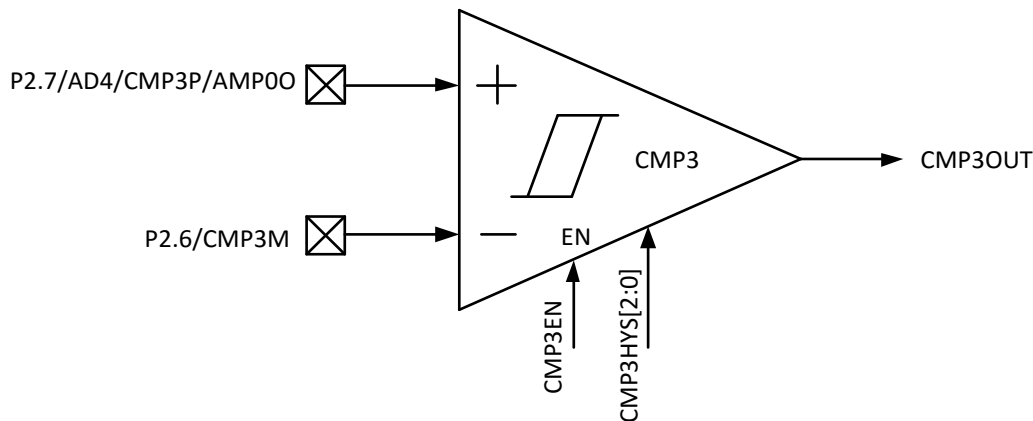


图 26-1 比较器 CMP3 的输入输出相关信号

如果要使能比较器 CMP3，需配置：CMP_CR2 寄存器的 CMP3EN=1。

比较器的输入输出端对应的 pad 如图 26-1 所示。CMP3HYS 控制的是比较器 CMP3 的迟滞电压。

26.1.2 母线电流保护

母线电流保护是根据母线电流保护信号的产生，自动关闭电机的输出，以达到保护芯片和电机的目的。配置 EVT_FILTER 寄存器的 MCLREN=1，产生保护事件自动关闭输出，同时上报保护中断。配置 EVT_FILTER 寄存器的 MCLREN=0，产生保护事件不会自动关闭输出，但是会上报保护中断。

母线电流保护事件可以配置 EVT_FILTER 寄存器的 EFSRC 选择由比较器 CMP3 产生，或者通过外部中断 INT0(P0.0)产生。当芯片外接 IPM 模块控制电机，IPM 的 FALUT 信号接 P0.0，配置 EVT_FILTER 寄存器的 EFSRC=1，通过外部中断 INT0 产生母线电流保护信号，此时保护中断为外部中断 INT0。配置 EVT_FILTER 寄存器的 EFSRC=0，母线电流保护信号由比较器 CMP3 产生，通过比较母线上采样电压的电压值，产生保护信号，此时保护中断为比较 CMP3 的中断。

母线电流保护事件的输入信号可以配置 EVT_FILTER 寄存器的 EFEN=1 使能滤波功能，通过 EVT_FILTER 寄存器的 EFDIV 选择滤波宽度。使能滤波功能，滤波后的信号会比滤波前的信号大概延迟 4~5/8~9/16~17/24~25 时钟周期。

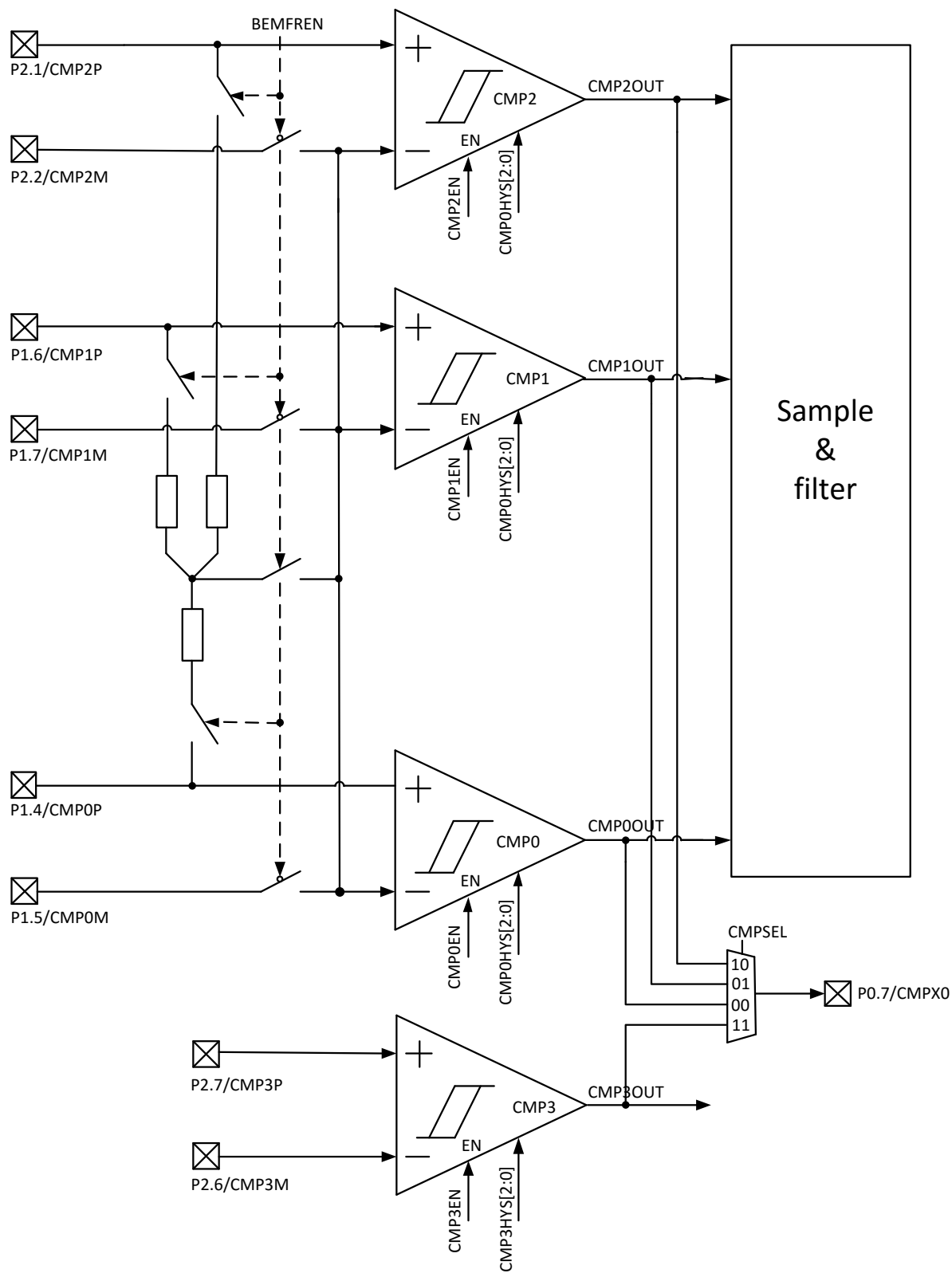
26.1.3 比较器 CMP0/CMP1/CMP2


图 26-2 比较器总的原理图

除去比较器 CMP3 外，CMP0/CMP1/CMP2 三个比较器是 BEMF/HALL 比较器，用于检测电机的位置。如图 26-2 所示。图中，虚线为控制信号，开关上有小圆圈的，表示控制信号为低电平时，开关闭合；否则，开关断开。开关上无小圆圈的，则表示控制信号为高电平时，开关闭合；否则，开关断开。

要工作在 HALL 模式，需配置：BEMFREN =0。

使得电阻不接入，三个比较器的正负相端均由 pad 提供信号；

要工作在 BEMF 模式，需配置：BEMFREN=1。

使得电阻接入且三个比较器的负相端接到一起，UVW 相的反电动势分别接 CMP0/CMP1/CMP2 的正相端，此时负相端对应的 pad 断开，可作其他用途。

比较器 CMP0/CMP1/CMP2 的输出信号送入滤波和采样 sample&filter 模块后送入 TIMER1。

CMP0EN/CMP1EN/CMP2EN 分别依次对应比较器 CMP0/CMP1/CMP2 的使能端，CMP0HYS 是比较器 CMP0/CMP1/CMP2 迟滞电压的总控制端。要使相应的比较器工作，只需要对应的比较器的使能端为高电平即可。

26.1.4 比较器输出

四个比较器的输出接到多路选择器中，同时由 CMP_CR2 寄存器的 CMPSEL 选择其中一个比较器信号输出到特定的 pad (P0.7) 上，对应的 pad 在图中已标出。

26.2 比较器寄存器

26.2.1 CMP_CR0 (0xD5)

表 26-1CMP_CR0 (0xD5)

位	7	6	5	4	3	2	1	0
名称	CMP3IM		CMP2IM		CMP1IM		CMP0IM	
类型	R/W		R/W		R/W		R/W	
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:6]	CMP3IM	比较器CMP3中断模式 参考 CMP0IM 描述
[5:4]	CMP2IM	比较器CMP2中断模式 参考 CMP0IM 描述
[3:2]	CMP1IM	比较器CMP1中断模式 参考 CMP0IM 描述
[1:0]	CMP0IM	比较器CMP0中断模式 00: 不产生中断 01: 上升沿产生中断 10: 下降沿产生中断 11: 上升/下降沿均产生中断

26.2.2 CMP_CR1 (0xD6)

表 26-2CMP_CR1 (0xD6)

位	7	6	5	4	3	2	1	0
名称	RSV	BEMFREN	CMP3HYS			CMP0HYS		
类型	R	R/W	R/W			R/W		
复位值	0	0	0	0	0	0	0	0

字段	名称	描述	
[7]	RSV	保留位	
[6]	BEMFREN	BEMF 电阻使能选择。阻值 6.8KΩ 0: 不使能, HALL 模式下必须为 0。 1: 使能, 此时P1.5、P1.7 、P2.2可用作其他用途。	
[5:3]	CMP3HYS	CMP3 迟滞电压选择	
		CMP3HYS	迟滞电压
		000	无迟滞
		001	±2.5mV
		010	-5mV
		011	+5mV
		100	±5mV
		101	-7.5mV
		110	+7.5mV
		111	±7.5mV
[2:0]	CMP0HYS	CMP2~0迟滞电压选择	
		CMP0HYS	迟滞电压
		000	无迟滞
		001	±2.5mV
		010	-5mV
		011	+5mV
		100	±5mV
		101	-7.5mV
		110	+7.5mV
		111	±7.5mV

26.2.3 CMP_CR2 (0xDA)

表 26-3 CMP_CR2 (0xDA)

位	7	6	5	4	3	2	1	0
名称	CMP3EN	CMP2EN	CMP1EN	CMP0EN	CMPSAME	CMPSEL		CMPOE
类型	R/W	R/W	R/W	R/W	R/W	R/W		R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	CMP3EN	使能比较CMP3 0: 不使能 1: 使能
[6]	CMP2EN	使能比较CMP1 0: 不使能 1: 使能
[5]	CMP1EN	使能比较CMP1 0: 不使能 1: 使能
[4]	CMP0EN	使能比较CMP0 0: 不使能 1: 使能
[3]	CMPSAME	使能比较器CMP0,CMP1,CMP2采样功能 0: 不使能 1: 使能
[2:1]	CMPSEL	比较器输出选择 选择一路比较器信号输出到端口 00: CMP0 01: CMP1 10: CMP2 11: CMP3
[0]	CMPOE	比较器输出使能 使能所选择的比较器信号输出到端口 0: 禁止输出 1: 使能输出

26.2.4 CMP_SR (0xD7)

表 26-4 CMP_SR(0xD7)

位	7	6	5	4	3	2	1	0
名称	CMP3OUT	CMP2 OUT	CMP1OU T	CMP0OU T	CMP3IN TR	CMP2IN TR	CMP1IN TR	CMP0I NTR
类型	R	R	R	R	R/W0	R/W0	R/W0	R/W0
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	CMP3OUT	比较CMP3的比较结果 0: CMP3当前的比较结果为0 1: CMP3当前的比较结果为1
[6]	CMP2OUT	比较CMP2的比较结果 0: CMP2当前的比较结果为0 1: CMP2当前的比较结果为1
[5]	CMP1OUT	比较CMP1的比较结果

		0: CMP1当前的比较结果为0 1: CMP1当前的比较结果为1
[4]	CMP0OUT	比较CMP0的比较结果 0: CMP0当前的比较结果为0 1: CMP0当前的比较结果为1
[3]	CMP3INTR	比较CMP3的中断标记 CMP3中断事件产生, 该位由硬件置1。它由软件清0。 0: 无事件产生 1: 中断事件产生
[2]	CMP2INTR	比较CMP2的中断标记 CMP2中断事件产生, 该位由硬件置1。它由软件清0。 0: 无事件产生 1: 中断事件产生
[1]	CMP1INTR	比较CMP1的中断标记 CMP1中断事件产生, 该位由硬件置1。它由软件清0。 0: 无事件产生 1: 中断事件产生
[0]	CMP0INTR	比较CMP0的中断标记 CMP0中断事件产生, 该位由硬件置1。它由软件清0。 0: 无事件产生 1: 中断事件产生

26.2.5 EVT_FILT (0xD9)

表 26-5 EVT_FILT(0xD9)

位	7	6	5	4	3	2	1	0
名称	TSDEN	TSDADJ		MCLREN	EFSRC	EFEN	EFDIV	
类型	R/W	R/W		R/W	R/W	R/W	R/W	
复位值	0	1	1	0	0	0	0	0

字段	名称	描述
[7]	TSDEN	Temperature sensor detect enable. 温度感应帧测使能。 0: 不使能 1: 使能。
[6:5]	TSDADJ	Temperature sensor detect adj. 温度感应帧测调节。 2'b00: 105℃感应。 2'b01: 120℃感应。 2'b10: 135℃感应。 2'b11: 150℃感应。
[4]	MCLREN	MOE信号硬件清零使能 当使能该位, 发生母线电流过冲事件会使MOE硬件清零 0: 不使能 1: 使能

[3]	EFSRC	母线电流保护事件的滤波模块输入来源 0: 比较器CMP3, 保护中断为CMP3中断 1: 外部中断TIN0(P0.0), 保护中断为外部中断INT0
[2]	EFEN	母线电流保护事件滤波使能 0: 不使能 1: 使能
[1:0]	EFDIV	母线电流保护事件滤波宽度: 00 : 4 系统时钟周期 01 : 8 系统时钟周期 10 : 16 系统时钟周期 11 : 24 系统时钟周期

27 DRIVER

FU6831/11/18 的 DRIVER 输出根据 IC 类型输出不同。FU6811 为 Gate Driver 输出；FU6831 为 3P3N Predriver 输出；FU6818 为 6N Predriver 输出。

27.1 3P3N Predriver 模式 (仅适用于 FU6831)

27.1.1 3P3N Predriver 功能框图及配置说明

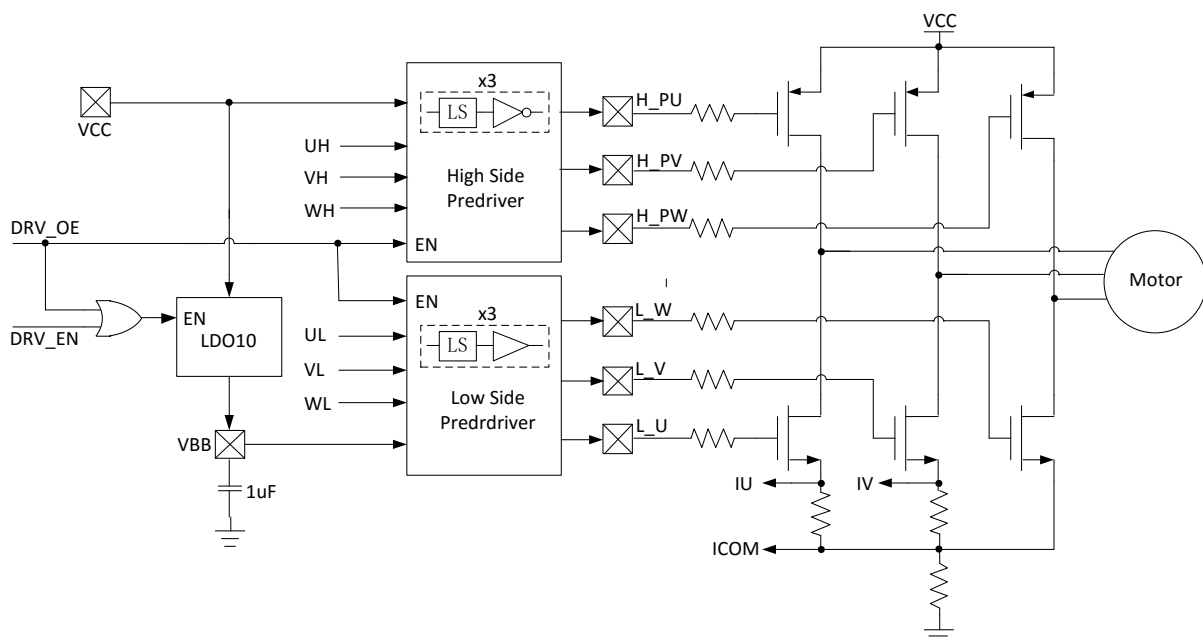


图 27-1 Predriver 3P3N 模式原理图

3P3N Predriver 驱动模式时，VCC 为输入信号，VBB 端口需外接 1~4.7uF 电容到地，在 H_PU/H_PV/H_PW 及 L_U/L_V/L_W 引脚为 Predriver 的输出信号，注意 H_PU/H_PV/H_PW 与内部信号 UH/VH/WH 为反向关系。DRVOE 为模块的使能端，DRVOE 为 3P3N 模式下的输出使能端，如图 27-1 所示。

配置 DRV_CTL 寄存器的 PDRVEN=1，使能 LDO10 工作，输出 VBB 电压。由于 LDO 稳定需

要一段时间，因此将 PDRVEN 置为高电平后，等 1mS，使 VBB 电压稳定。再配置寄存器 DRV_CTL 的 DRVOE=1，使能 Predriver 输出，此时 UH/VH/WH 分别被反向后送至 H_PU/H_PV/H_PW 引脚用于驱动 PMOS 的栅极，UL/VL/WL 分别被送至 L_U/L_V/L_W 引脚用于驱动 NMOS 的栅极。由 PMOS 和 NMOS 驱动电机运转。

27.2 Gate Driver 模式 (仅适用于 FU6811)

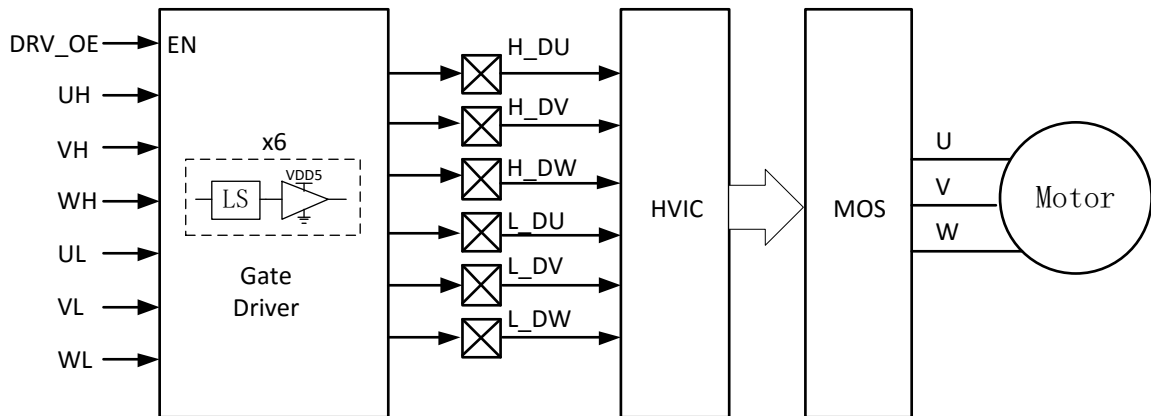


图 27-2 Gate Driver 模式的原理图

Gate Driver 如图 27-2 所示。进入该模式，DRVOE 为 Gate Driver 的使能信号，与 3P3N Predriver 不同的是，Gate Driver 的输出接 HVIC，通过 HVIC 来驱动 MOS 的栅极。

27.3 6N Predriver 模式 (适用于 FU6818)

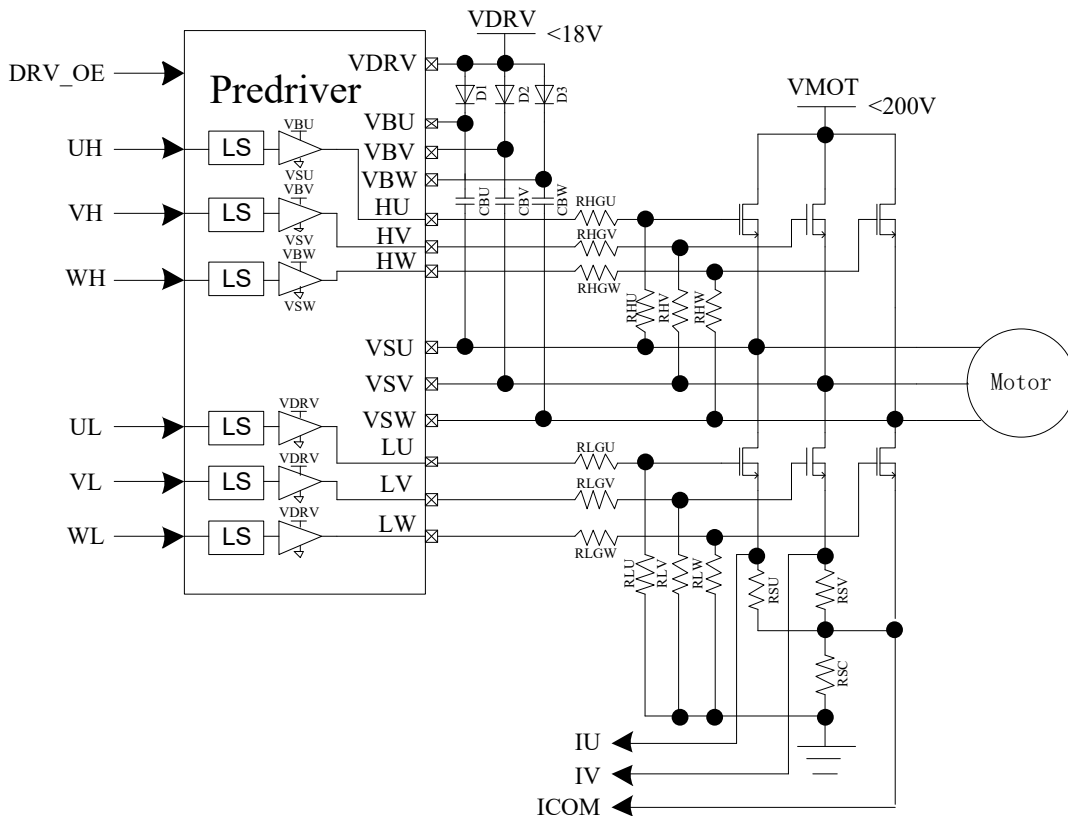


图 27-3 6N Predriver 模式的原理图

6N Predriver 如图 27-3 所示。进入该模式，DRVOE 为 Predriver 的使能信号，Predriver 的输出接 6 只 NMOS 后分别驱动电机的 U/V/W 相。

27.4 DRIVER 相关的寄存器

27.4.1 DRV_CTL (0x404D)

表 27-1 DRV_CTL (0x404D)

位	7	6	5	4	3	2	1	0
名称	RSV				OSC		PDRVEN	DRVOE
类型	R	R	R	R	R/W		R/W	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:4]	RSV	保留位。
[3:2]	OCS	OC(U/V/W)H和OC(U/V/W)L输出数据源选择 0X: TIMER1输出(T1_OC0, T1_OC1, T1_OC2, T1_OC3, T1_OC4, T1_OC5) 10: TIMER0输出(T0_OC1, T0_OC1N, T0_OC2, T0_OC2N, T0_OC3, T0_OC3N)

		11: FOC输出 (FOC_OC1H, FOC_OC1L, FOC_OC2H, FOC_OC2L, FOC_OC3H, FOC_OC3L)
[1]	PDRVEN	Driver 使能, 高有效, 只针对 Predriver 模式有作用, Predriver 模式下 PDRVEN 为 1 将打开 VBB 的 LDO,约 1mS 后电压才稳定; Gate Driver 模式不需此位。
[0]	DRVOE	Driver输出使能, 如果是Predriver模式, 应先将PDRVEN变高1mS后再设置 DRVOE为1, 以免输出端口的电平不正确。 0: 不使能 1: 使能

28 电源模块

28.1 LDO

28.1.1 LDO 模块的操作说明

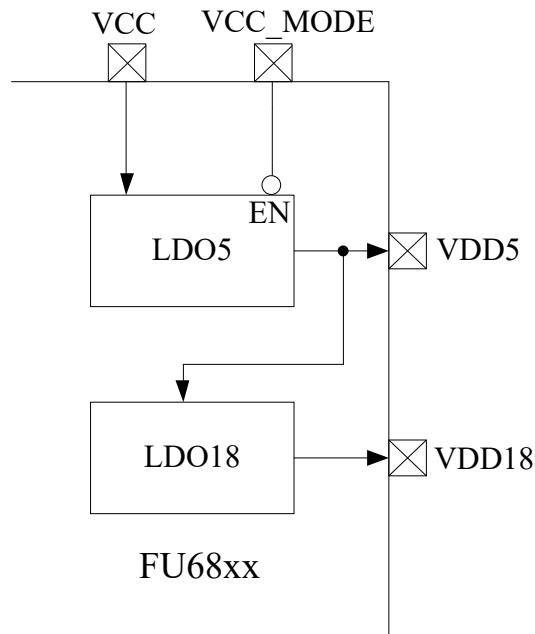


图 28-1 电源模块功能框图

LDO 模块对应的端口情况如图 28-1 所示。LDO 的作用是输入电源降压至 5V VDD5 和 1.8V VDD18, 分别给芯片内部模拟和数字模块供电, 其中 VDD5 可选择是内部 LDO5 产生或者外部供给, 由 VCC_MODE 决定。

FU6831:

单电源高压模式(VCC_MODE=0). VCC= 5~24V。参考图 28-2。

双电源模式(VCC_MODE=1), VCC≥VDD5. VCC= 5~36V, VDD5=5V。参考图 28-3。

FU6811:

单电源高压模式(VCC_MODE=0). VCC= 5~24V。参考图 28-2

双电源模式(VCC_MODE=1), VCC≥VDD5. VCC= 5~36V, VDD5=5V。参考图 28-3。

单电源低压模式(VCC_MODE=1). VCC=VDD5= 3~5.5V。参考图 28-4。

FU6818:

模式 1: VCC_MODE=0, VCC= 5~24V, VDRV=7~18V

模式 2: VCC_MODE=1, VCC=VDD5=3~5.5V, VDRV=7~18V

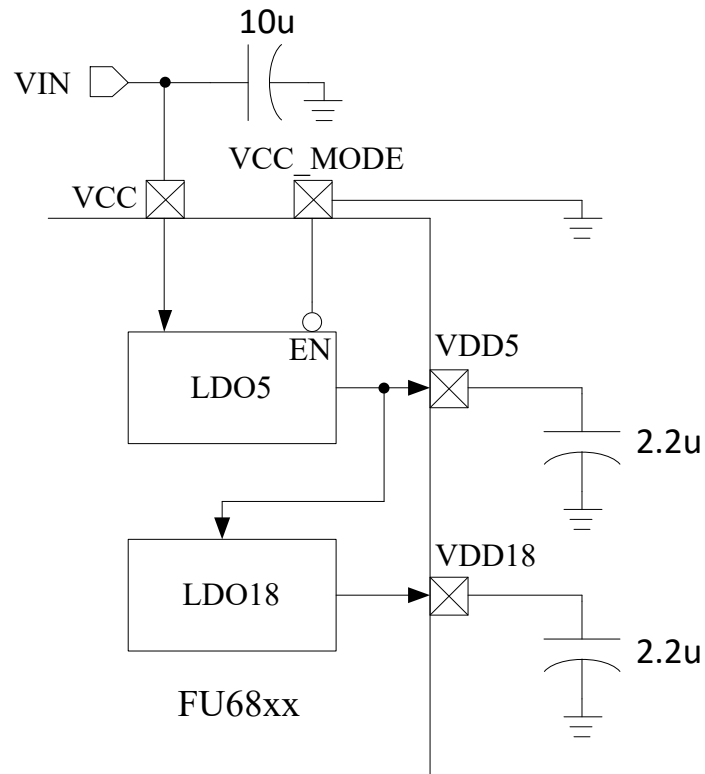


图 28-2 单电源高压模式电源连接

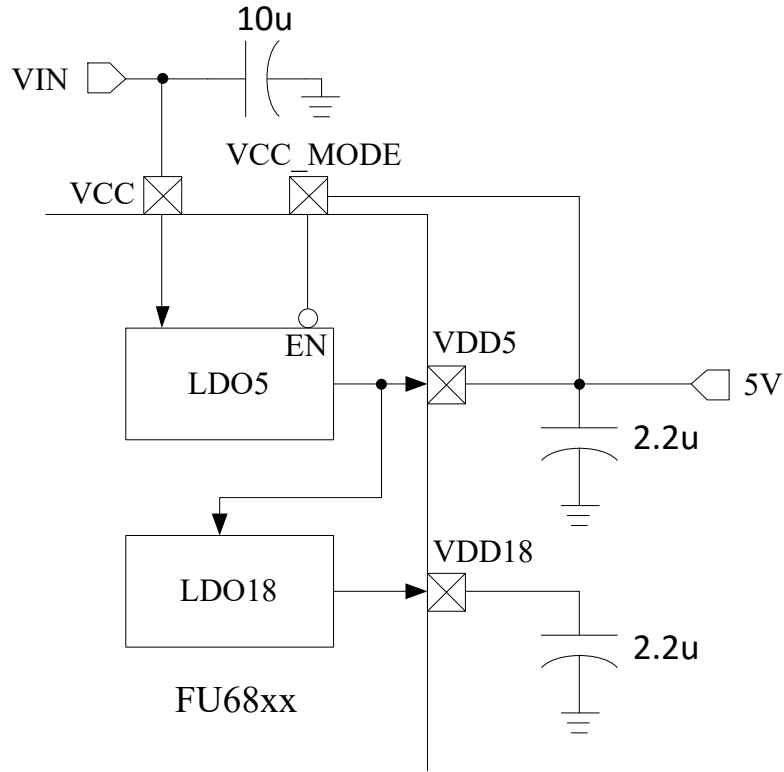


图 28-3 双电源模式电源连接

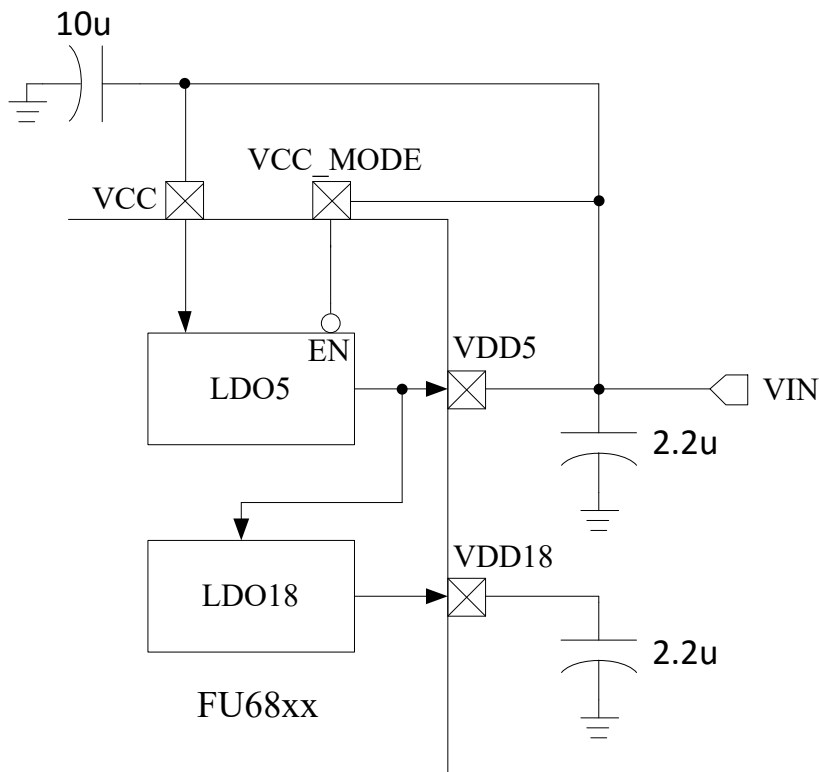


图 28-4 单电源低压模式电源连接

28.1.2 LDO 模块的寄存器

无。

28.2 低压检测

28.2.1 低压检测模块操作说明

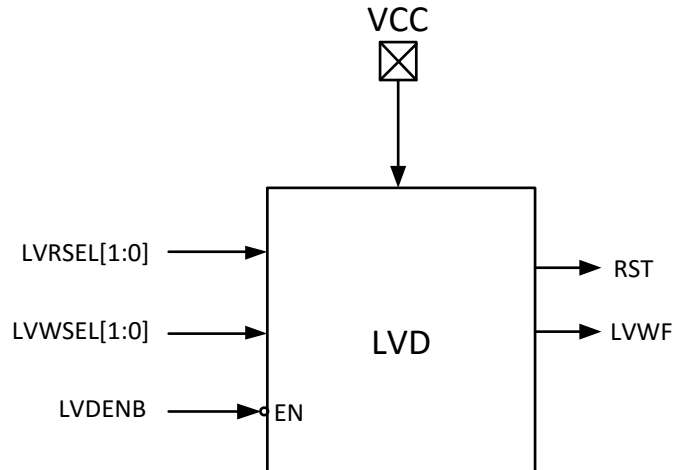


图 28-5 低电压检测模块

要能使低电压检测模块，需配置寄存器如下：LVDENB=0。

28.2.2 CCFG2:RST_MOD (0x401D)

表 28-1 低压检测模块相关寄存器一

位	7	6	5	4	3	2	1	0
名称	LVRSEL		WDTBTEN	WDTRSTEN	EOSRSTEN	EOSGATEN	LVWSEL	
类型	R/W		R/W	R/W	R/W	R/W	R/W	
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
7: 6	LVRSEL	低电压复位电压选择端。低电压复位检测的是 VDD5 的电压值。 其值为 00 时，对应的 VDD5 复位电压为 2.8V； 其值为 01 时，对应的 VDD5 复位电压为 3.0V； 其值为 10 时，对应的 VDD5 复位电压为 3.5V； 其值为 11 时，对应的 VDD5 复位电压为 3.8V。
5: 2		保留位。
1: 0	LVWSEL	低电压预警电压选择端。低电压预警检测的是 VCC 的电压值。 其值为 00 时，对应的 VCC 预警电压为 7V； 其值为 01 时，对应的 VCC 预警电压为 8V； 其值为 10 时，对应的 VCC 预警电压为 9V； 其值为 11 时，对应的 VCC 预警电压为 10V。

28.2.3 CCFG1:CK_RST_CFG (0x401E)

表 28-2 低压检测模块相关寄存器二

位	7	6	5	4	3	2	1	0
名称	LVDENB	LVWIE	WDTEN	RSV				CKMOD
类型	R/W	R/W	R/W	R	R	R	R	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
7	LVDENB	低电压复位检测使能 0: 使能, 若 VDD5 低于 LVRSEL 设定的阈值电压, 则系统复位。 1: 关闭 注意: 低电压检测功能分为两部分: 一是低电压复位检测, 一旦检测到 VDD5 低于 LVRSEL 设定的阈值电压, 芯片将发生复位。二是低电压告警功能, 一旦系统检测到 VCC 低于 LVWSEL 设定的阈值电压, 将产生低电压报警中断。若需要以上任何一个功能工作, 前提条件必须置 LVDENB 为 0 (即使能低电压复位检测功能)。并且低电压告警中断受低电压告警中断使能节制。
6:0		其他 7 位请参考表 33-1。

28.2.4 LVSR(0xDB)

表 28-3 LVSR(0xDB)

位	7	6	5	4	3	2	1	0
名称	RSV						LVWF	LVWIF
类型	R	R	R	R	R	R	R	R/W
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:2]	RSV	保留位。
[1]	LVWF	VCC 低电标记 低电标记反映当前是否处于低电状态 0: 当前没有报警 1: 当前低点检测报警
[0]	LVWIF	VCC 低电中断标记 该位反映是否曾经发生低电事件, 当低电检测中断使能, 产生低电检测中断后, 该位置一, 同时进入中断。该位硬件置一, 软件写零清零。低电检测中断不使能, 该位不会硬件置一。 0: 无事件发生 1: 发生低点检测报警

29 FLASH 自写

29.1 PSCTL : 编程控制寄存器

表 29-1 PSCTL (0x85)

位	7:5	4	3	2	1	0
名称	RSV	FLAVIO	FLAACT	RSV	FLAERS	FLAWEN
类型	R	R/W	R/W	R	R/W	R/W
复位值	0	0	0	0	0	0

字段	名称	描述
7:5	RSV	保留
4	FLAVIO	编程出错标志, 可读 0: 对 FLASH 自写时, 编程或擦除操作成功。 1: 对 FLASH 自写时, 编程或擦除操作失败。
3	FLAACT	FLASH 擦除/写入操作激发位 写 0 无效 写 1 表示开始 Flash 操作, 如编程、擦除
2	RSV	保留
1	FLAERS	扇区擦除使能 0: 禁止 1: 使能 注意: 只有在 FLAWEN 为 1 时, FLAERS 才起作用
0	FLAWEN	编程使能 0: 禁止 1: 使能 注意: 只有在 FLAWEN 为 1 时, FLAERS 才起作用

29.2 FLKEY : FLASH 编程开锁寄存器

表 29-2 FLKEY (0x84)

位	7	6	5	4	3	2	1	0
名称	FLKEY							
类型	R/W							
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
7:0	FLKEY	FLASH 擦除/编程开锁寄存器 顺序往 FLKEY 写 0x5A、0x1F 将开启“软件编程 FLASH”功能。若顺序不对或者写其他值将使此功能冻结, 直到下一次系统复位。开锁后, 任何一次写 PSCTL 的动作都会使 FLKEY 再次上锁。 读: 最低 2 位反映的是内部状态, 高 6 位返回的是 0x00: 00: 上锁 01: 0x5A 已经写入, 等待 0x1F 写入 11: 开锁 10: 冻结

29.3 FLASH 自写操作说明

1、注意：

为确保对 FLASH 操作的安全性，强烈建议在自烧录前禁止所有中断事件，以免中断处理中的 MOVX 指令对 FLASH 进行误操作。

2、软件自擦除 FLASH 扇区操作步骤：

Step0 : Disable EA 中断总使能位。

Step1 : 往寄存器 PSCTL 写入 0X03。

Step2: 顺序往寄存器 FLKEY 写入 5A、0x1F 进行 FLASH 开锁。

Step3: 用 MOVX 指令向需要擦除的 FLASH 扇区写任意值。

Step4: 将 PSCTL.FLAECT 写 1 即进入软件擦除过程，指令执行完毕后擦除操作自动完成，并再次自动上锁。

举例：

SECTOR_ERASE:

mov EA,#00h ; Disable EA 中断总使能位

mov PSCTL,#03h; 往寄存器 PSCTL 中写入 0x03, 准备扇区擦除

mov FLKEY,#05Ah; 往寄存器 FLKEY 中写入命令 0x5A

mov FLKEY,#01Fh; 往寄存器 FLKEY 中写入命令 0x1F

mov DPH,#03h;确定需要擦除的扇区内任一地址。

mov DPL,#0feh;

mov A,#0ffh;

movx @DPTR,A;往扇区内任一地址写任意值。

mov PSCTL,#08h;往寄存器 PSCTL 中写入 0x08, 开始擦除, 此指令执行完毕后擦除操作完成, 并再次上锁。

3、软件自写 FLASH 数据操作步骤：

Step0 : Disable EA 中断总使能位。

Step1 : 往寄存器 PSCTL 写入 0X01。

Step2: 顺序往寄存器 FLKEY 写入 0x5A、0x1F 进行 FLASH 开锁。

Step3: 以 MOVX 指令将数据写入到指定 FLASH 地址中

Step4: 将 PSCTL.FLAECT 写 1 即可执行自写 1 字节数据操作, 本指令执行结束后数据即写入, 并再次上锁。

举例：

FLASH_WR:

```

mov EA,#00h ; Disable EA 中断总使能位
mov PSCTL,#01h; 往寄存器 PSCTL 中写入 0x01, 准备向 FLASH 某地址写入 1 字节数据
mov FLKEY,#05Ah; 往寄存器 FLKEY 中写入命令 0x5A
mov FLKEY,#01Fh; 往寄存器 FLKEY 中写入命令 0x1F
mov DPH,#03h;往指定的 FLASH 地址写入数据
mov DPL,#0f0h;
mov A,#0fh;
movx @DPTR,A;
mov PSCTL,#08h; 往寄存器 PSCTL 中写入 0x08, 开始自写过程, 本指令执行完毕后自写
操作完成, 并再次上锁。

```

```

mov PSCTL,#01h; 往寄存器 PSCTL 中写入 0x01
mov FLKEY,#05Ah; 往寄存器 FLKEY 中写入命令 0x5A
mov FLKEY,#01Fh; 往寄存器 FLKEY 中写入命令 0x1F
mov DPH,#03h;往指定的 FLASH 地址写入下一字节数据
mov DPL,#0f1h;
mov A,#0ah;
movx @DPTR,A;
mov PSCTL,#08h; 往寄存器 PSCTL 中写入 0x08, 开始自写过程, 本指令执行完毕后自写
操作完成, 并再次上锁。

```

```

mov a,PSCTL; 本次编程是否成功
anl a,#10h,
cjne a,#00h,FLA_OP_ERROR

```

注意:

1) 为确保用户程序安全, 在进行自写操作前, 务必关闭所有中断。以防止 movx 操作误写了 rom_code。

2) 以上对 flash 的三种操作, 内部电路均需要较长时间完成。

30 CRC 功能

表 30-1 CRC 标准与生成多项式

序号	CRC 标准	生成多项式	16 进制表示
1	CRC12	$x^{12}+x^{11}+x^3+x^2+x+1$	80F
2	CRC16	$x^{16}+x^{15}+x^2+1$	8005
3	CRC16-CCITT	$x^{16}+x^{12}+x^5+1$	1021
4	CRC32	$x^{32}+x^{26}+x^{23}+x^{22}+x^{16}+x^{12}+x^{11}+x^{10}+x^8+x^9+x^5+x^4+x+1$	04C11DB7

30.1 CRC16 生成多项式

FU6831/11/18 选择基于 CRC16-CCITT 标准的生成多项式： $X^{16} + X^{12} + X^5 + 1$ 。

30.2 CRC16 基本逻辑图

如图 30-1 所示是 串行 CRC16 电路原理图，FU6831/11/18 采用并行算法实现，对每个输入字节 MCU 用一个系统时钟即可计算出结果。

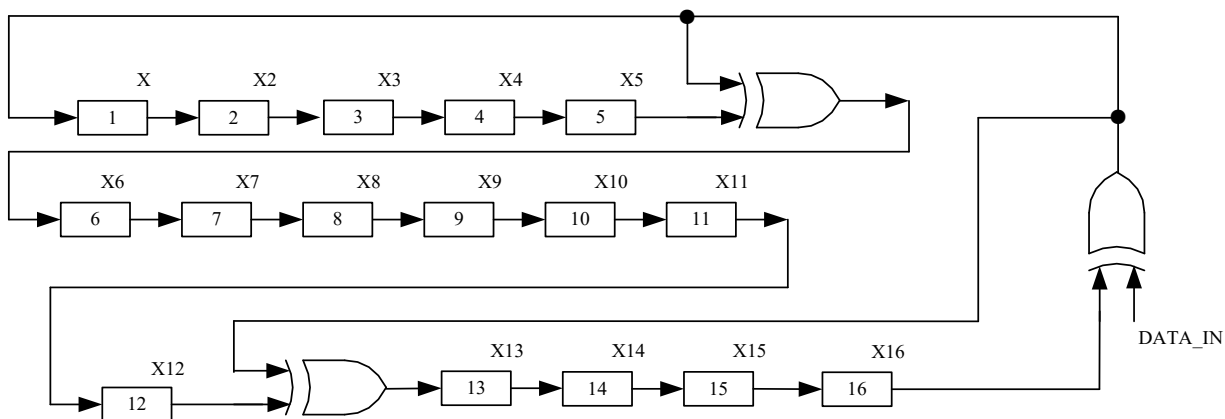


图 30-1 CRC16 电路原理图

30.3 操作说明

30.3.1 基本功能框图

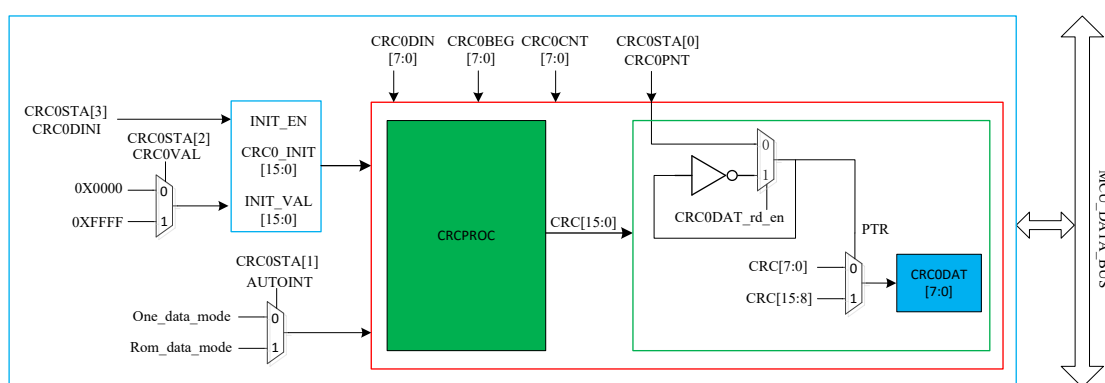


图 30-2 基本功能框图

30.3.2 计算单个字节的 CRC

要计算单个字节的 CRC 值，请按以下步骤进行：

- 1、向控制寄存器 CRC0STA 的 bit[1]写 0，使 CRC 模块工作在单字节计算模式下；
- 2、根据需要，向控制寄存器 CRC0STA 写入适当的值。例如，写入 0xFD，则 bit[7:5]由于是保留位，故不起作用；bit[0]为 1，使得 CRC 结果指针指向 16 位结果的高字节；bit[2]为 1，使得 CRC 结果初始化为 0xFFFF；bit[3]为 1 使得 CRC 结果初始化有效；
- 3、向输入数据寄存器 CRC0DIN 写入一个数据，例如 0x63，则在下一个时钟周期内，CRC 结果立即被计算出来，且结果为 0xBD35；
- 4、读取 CRC 结果：写 CRC0STA.CRC0PNT 位为 1，软件读取结果输出寄存器 CRC0DAT，得到高字节数据 0xBD；写 CRC0STA.CRC0PNT 位为 0，再读一次，得到低字节数据 0x35；合并起来就是正确的 CRC 结果。
- 5、如果在计算 CRC 之前，不想让初始化结果是 0x0000 或 0xFFFF，也可以先设定好 CRC 结果寄存器访问指针，然后向结果寄存器中写入自定义的初始化值。例如，先将指针定位在低字节，然后向 CRC0DAT 寄存器写入数据 0xCF，再次写入 0xD4，则 CRC 结果被初始化成 0xD4CF；向 CRC0DIN 寄存器写入 0xD1，则在下一个时钟周期内，计算出 0xD1 的 CRC 值为 0x9FA5。

30.3.3 批量计算 ROM 数据 CRC

要计算 ROM 中某片连续区域数据的 CRC 值，请按以下步骤进行：

- 1、向控制寄存器 CRC0STA 的 bit[1]写 0，停止自动计算模式；
- 2、向控制寄存器 CRC0STA 的其它位(保持 bit[1]为 0)写入适当值，设置结果访问指针、结果初始化值，并使能初始化；
- 3、向自动控制寄存器 CRC0BEG 写入适当值，设置起始地址；
- 4、向自动控制寄存器 CRC0CNT 写入适当值，设置 SECTOR 总数；
- 5、向控制寄存器 CRC0STA 的 bit[1]写 1，保持其它位不变，会启动自动计算过程。
- 6、MCU 可读 CRC0STA.CRC0DONE 位，其等于 1 时表示 CRC 完成。
- 7、MCU 可写 CRC0STA.CRC0PNT 位为 0，读 CRC0DAT 即为 CRC 结果之低 8 位数据，然后 MCU 可写 CRC0STA.CRC0PNT 位为 1，读 CRC0DAT 即为 CRC 结果之高 8 位数据。

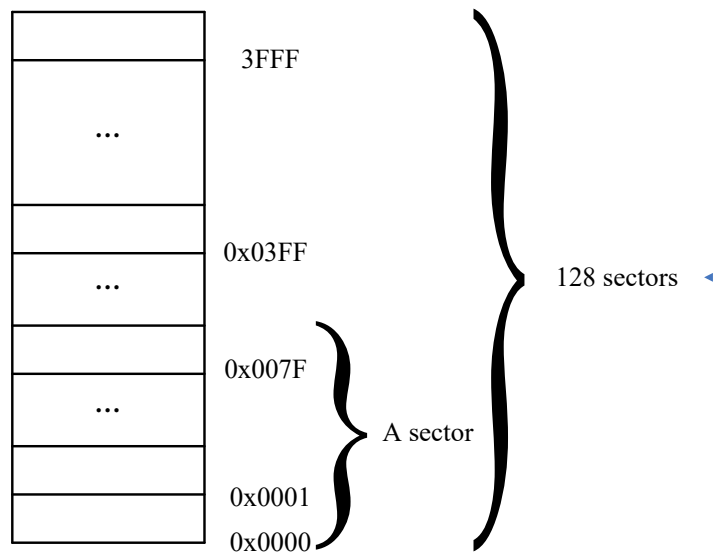


图 30-3 ROM 访问分区图

如图 30-3 所示。整个 ROM 共 16K 字节，分成 128 个 sector，编号从 sector0 到 sector127。每个 sector 包含 128 个字节。在进行 CRC 批量计算时，起始 sector 的值 CRC0BEG 可以是 0x00~0x7F 之间的任何值，包括 0x00 和 0x7F；需要计算的 sector 总数的数值 CRC0CNT 可以是 0x00~0x7F，包括 0x00 和 0x7F。

需要注意的是，随着 CRC0BEG 的值的增大，CRC0CNT 的值应该相应减小。例如，如果 CRC0BEG 的值为 0xFF，则 CRC0CNT 的值只能是 0x00，即只能计算最后一个 sector 中数据的 CRC 值。此时，如果不小心将 CRC0CNT 的值设置为 0x01 或更大的值，则 CRC 控制器硬件会自动限制计算的字节数，使 CRC 引擎只计算最后一个 sector 中数据的 CRC 值。

30.4 CRC 寄存器

30.4.1 控制寄存器：CRC0STA

表 30-2 CRC0STA (0x4022)

位	7:5	4	3	2	1	0
名称	RSV	CRCDONE	CRC0DINI	CRC0VAL	AUTOINT	CRC0PNT
类型	R	R	R/W	R/W	R/W	R/W
复位值	0	1	0	0	0	0

字段	名称	描述
[7:5]	RSV	保留
[4]	CRCDONE	自动 CRC 计算完成标志。 在自动 CRC 计算模式过程中，硬件自动将这一位写 0，并且软件代码也会停止执

		行；在其它情况下，硬件自动将这一位置为 1，所以，软件读取这一位始终返回 1。
[3]	CRC0DINI	CRC 结果初始化使能 0: 初始化无效 1: 初始化有效； 当软件向这一位写 1 时，硬件并没有真正将 1 写入此位，而是同步产生一个时钟周期的高电平脉冲，送到 CRC 引擎，作为 CRC 结果初始化的条件。所以，不管软件向这一位写入什么值，读取时总是返回 0。
[2]	CRC0VAL	CRC 结果初始化选择位。 0: 将 CRC 结果初始化为 0x0000 1: 将 CRC 结果初始化为 0xFFFF
[1]	AUTOINT	CRC 自动计算使能。 当向此位写 1 时，会自动对 Flash 的某片连续的块中的数据进行 CRC 计算。计算的起始块为 CRC0BEG，共计算 CRC0CNT 个块。 注：在启用自动 CRC 计算功能之前，应先将其它位配置好，再将这一位写 1。换句话说，这一位不能与其它位同时配置。
[0]	CRC0PNT	CRC 结果指针。 0: 读取 CRC0DATA 寄存器时，访问的是 16 位 CRC 结果的低字节(7-0 位) 1: 读取 CRC0DATA 寄存器时，访问的是 16 位 CRC 结果的高字节(15-8 位)

注：由于 CRC 计算过程分为两大类，一类是单个字节的 CRC 计算，一类是 ROM 数据批量 CRC 自动计算。向控制寄存器 CRC0STA 的 bit[1]写入 1，会立即启动 CRC 自动计算过程。如果要计算软件写入 CRC0DIN 寄存器中的单个字节的 CRC 值，则 CRC0STA 寄存器的 bit[1]只能为 0。

30.4.2 输入数据寄存器：CRC0DIN

表 30-3 CRC0DIN (0x4021)

位	7	6	5	4	3	2	1	0
名称	CRC0DIN							
类型	W							
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	CRC0DIN	CRC 模块输入数据。 每次向此寄存器写入一个数据时，CRC 模块就自动在现有 CRC 结果的基础上，根据输入数据计算出新的 CRC 结果，并覆盖原 CRC 结果。 注：此寄存器是一个虚拟寄存器，写入的数据并不保存。读取此地址时返回 0x00。

30.4.3 结果输出寄存器：CRC0DAT

表 30-4 CRC0DAT (0x4023)

位	7	6	5	4	3	2	1	0
名称	CRC0DAT							
类型	R/W							
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7:0]	CRC0DAT	CRC 结果输出。 每次读、写此寄存器时，会根据控制寄存器 CRC0STA 中的结果指针 CRC0PNT 来决定访问的是 CRC 结果的高字节还是低字节。

注：由于此寄存器的值除了直接由软件决定以外，还可由其它信号导致发生变化，所以直接放在 CRC 模块内部，而不放在寄存器专用模块里。

30.4.4 自动计算起点寄存器：CRC0BEG

表 30-5 CRC0BEG (0x4024)

位	7	6	5	4	3	2	1	0
名称	RSV	CRC0BEG						
类型	R	R/W						
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
[7]	RSV	保留位
[6:0]	CRC0BEG	自动计算 CRC 的 ROM 起始 sector。 计算的起始地址是：CRC0BEG×Sector Size 例如：如果 CRC0BEG[7:0]的值是 1，每个 Sector size 是 128 个字节，则自动 CRC 计算的起始地址是：1×128=128，实际上是从第二个 sector 的第一个字节开始。

30.4.5 自动计算块数寄存器：CRC0CNT

表 30-6 CRC0CNT (0x4025)

位	7	6	5	4	3	2	1	0
名称	RSV	CRC0CNT						
类型	R	R/W						
复位值	0	0	0	0	0	0	0	0

字段	名称	描述
7	RSV	保留位。
[6:0]	CRC0CNT	自动 CRC 计算 sector 总数。 此值定义了需要计算 CRC 值的 ROM 中 sector 总数, 例如: 0x00 表示 1 个 sector; 0x7F 表示 128 个 sector; 需要计算 CRC 的最后一个 sector 的起始地址是: $(CRC0BEG + CRC0CNT) \times SectorSize$

31 休眠模式

31.1 PCON 寄存器

表 31-1 PCON (0x87)

位	7	6	5	4	3	2	1	0
名称	RSV		GF3	GF2	GF1	GF0	STOP	IDLE
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

位	名字	功能
[7:6]	RSV	保留位
5	GF3	通用标志位 3
4	GF2	通用标志位 2
3	GF1	通用标志位 1
2	GF0	通用标志位 0
1	STOP	写 1 使芯片进入睡眠模式, 唤醒后由硬件自动清 0
0	IDLE	写 1 使芯片进入待机模式, 唤醒后由硬件自动清 0 功耗模式: {STOP, IDLE} = 1x, 系统睡眠 {STOP, IDLE} = 01, 系统待机 {STOP, IDLE} = 00, 系统正常工作

31.2 功耗模式

RTC 独立使用外部晶振, 不受功耗模式影响, WDT 独立使用内部晶振, 睡眠模式时自动关闭。

有三种功耗模式, 分别是正常、待机、睡眠。各种功耗模式下的模块工作情况总结如下:

表 31-2 功耗模式

模式	描述	唤醒源	功耗性能
正常	除去被关掉的外设, 其他模块全速工作	NA	功耗较高, 性能最好。
待机	CPU 时钟被门控, 其他功能模块关闭或工作, 由	任何中断	功耗低

	其控制位决定。 看门狗时钟被门控住。	外部/Debug 复位	性能灵活
睡眠	FLASH Deep-Sleep。 模拟快时钟电路关闭，若时钟关闭前 ADC、FOC、电机控制/驱动电路处于忙状态则等待其恢复为空闲后再关闭时钟。 看门狗时钟被关闭。	外部中断，RTC 中断 外部/Debug 复位	功耗很低 性能灵活

32 代码保护

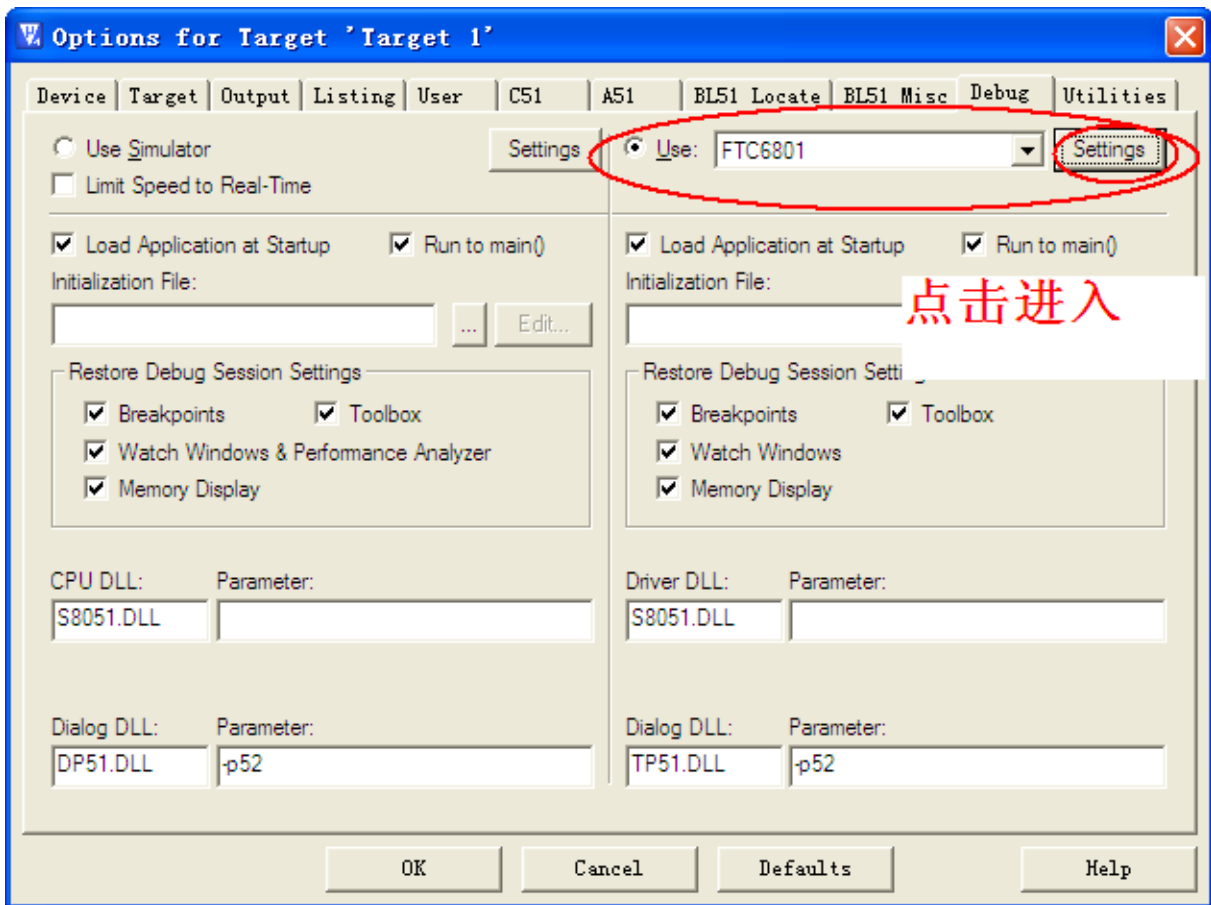


图 32-1

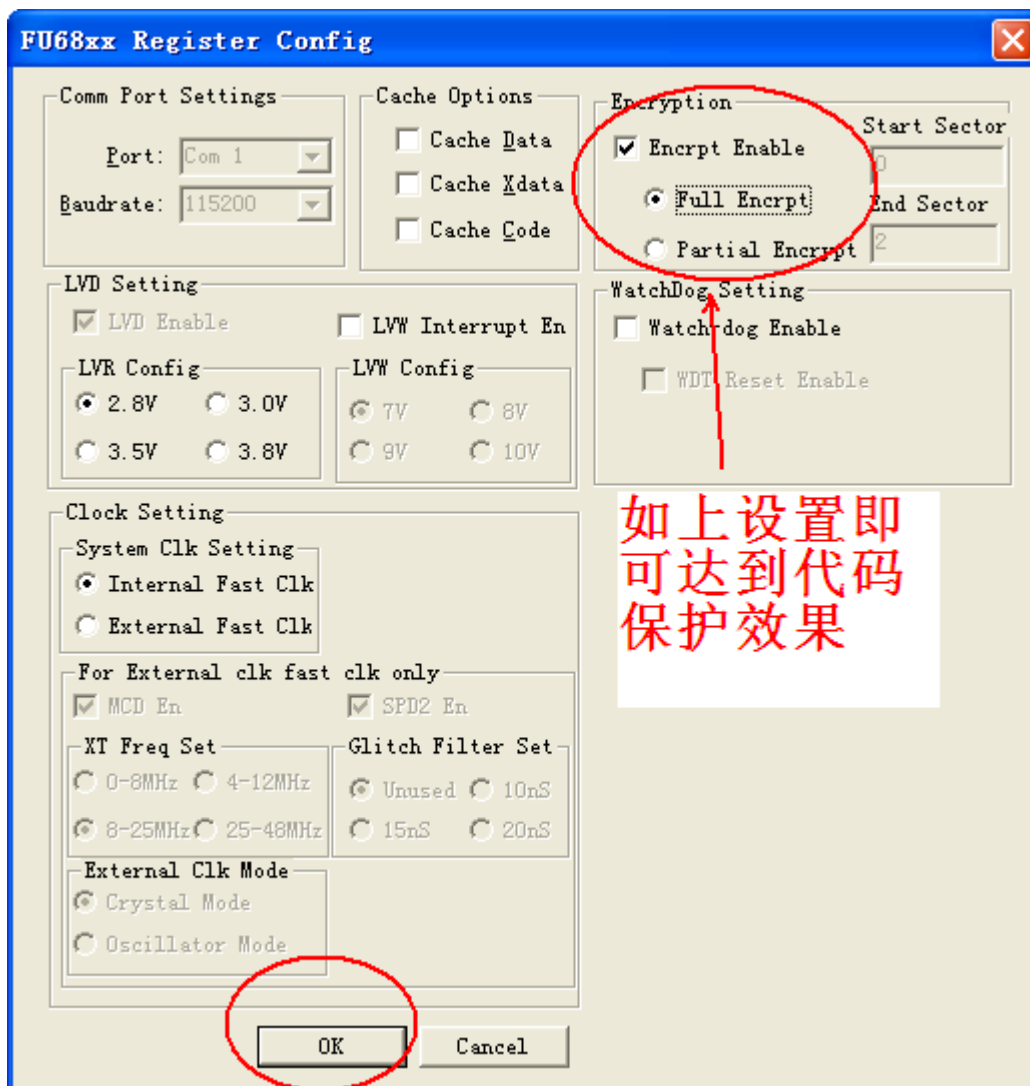


图 32-2

FU6831/11/18 支持用户对烧录到 FLASH 的代码进行知识产权保护，方法及步骤如下：

步骤一：

打开 8051 集成开发工具，编译前进入 Target Options 中并选择 Debug 选项卡，按照上图 32-1 所示进行选择，并点击 Settings 进入下一步设置。

步骤二：

按照图 32-2 所示进行选择并设置，点击 OK。然后编译工程，得到的.BIN 文件烧录到 FLASH 中之后即可达到代码保护的效果。

33 配置寄存器

33.1 CCFG，客户配置寄存器

33.1.1 CCFG1: CK_RST_CFG

表 33-1 CCFG1 (0x401E)

位	7	6	5	4:1	0
名称	LVDENB	LVWIE	WDTEN	RSV	CKMOD
类型	R/W	R/W	R/W	R	R/W
复位值	0	0	0	0	0

字段	名称	描述
7	LVDENB	低电压复位检测使能 0: 使能, 若 VDD5 低于 LVRSEL 设定的阈值电压, 则系统复位。 1: 关闭 注意: 低电压检测功能分为两部分: 一是低电压复位检测, 一旦检测到 VDD5 低于 LVRSEL 设定的阈值电压, 芯片将发生复位。二是低电压告警功能, 一旦系统检测到 VCC 低于 LVWSEL 设定的阈值电压, 将产生低电压报警中断。若需要以上任何一个功能工作, 前提条件必须置 LVDENB 为 0 (即使能低电压复位检测功能)。并且低电压告警中断受低电压告警中断使能节制。
6	LVWIE	VCC 低电压告警中断使能, 由 LVWSEL 设定 VCC 预警电压阈值。 0: 关闭 1: 使能, 若需要低电压告警中断使能, 还必须使能低电压复位检测电路 (即置 LVDENB=0)。
5	WDTEN	Watch-dog 使能。 0: 禁止 1: 使能
4:1	RSV	保留
0	CKMOD	系统时钟选择: 0: 选择系统时钟为内部快时钟 1: 选择系统时钟为外部时钟 注意: 当系统 BOOT 时, 如果 FLASH 的该位是 1, 则 BOOT 结束后, 输出给模拟电路的 EFOSC_AE 将被置 1, 外部快时钟晶体的两个 PIN 会强制为模拟输入, 软件无法修改。如果 FLASH 的该位是 0, 则 BOOT 后 EFOSC_AE 被清 0, 若系统进入外部快时钟晶体模式, 则在 SLEEP 时会由于两个晶体 PIN 浮空而漏电。因此, 若用户确定会用外部晶体快时钟, 则必须将 FLASH 的该位烧录为 1。

34 封装信息

34.1 LQFP48_7X7

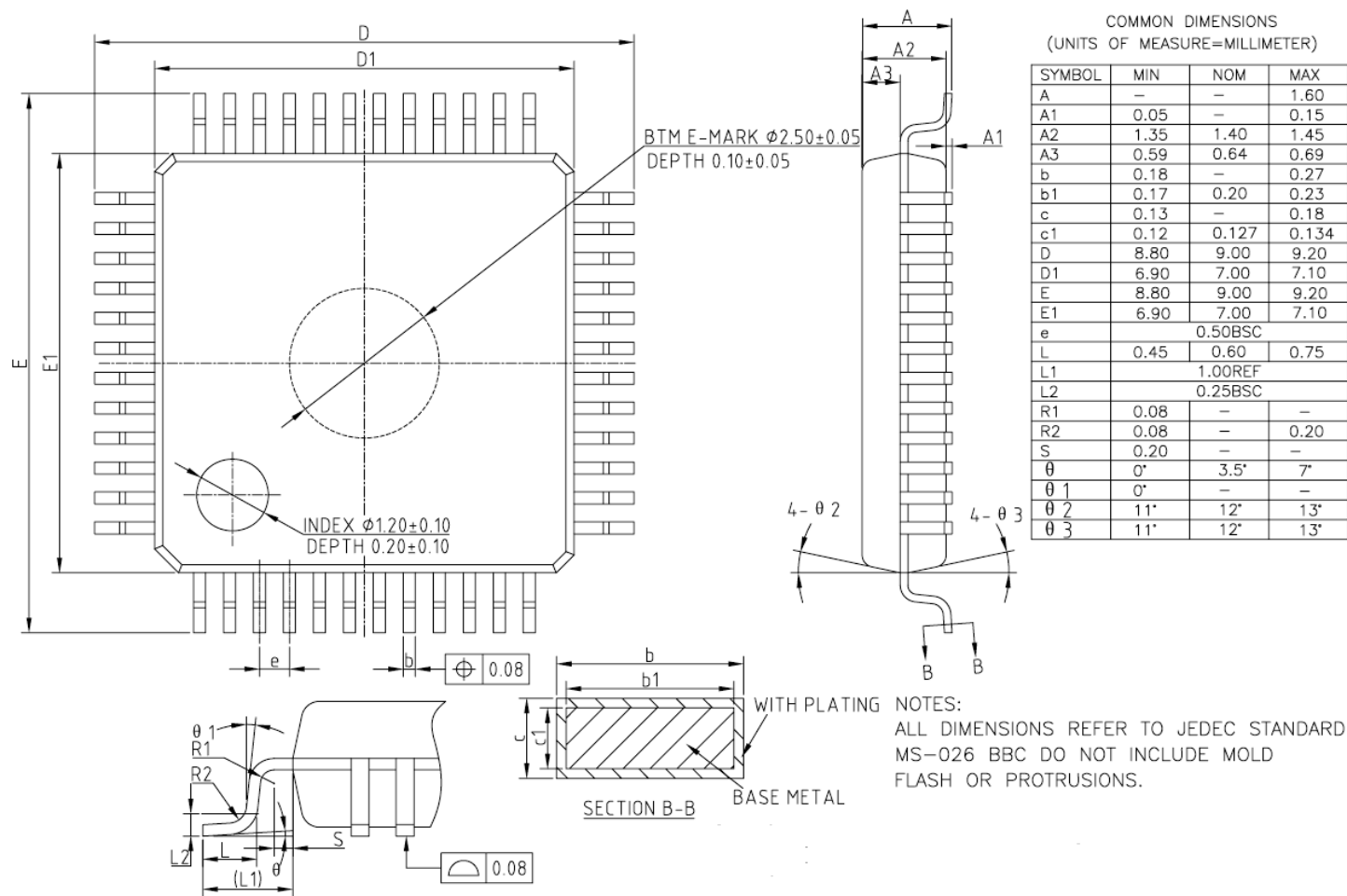
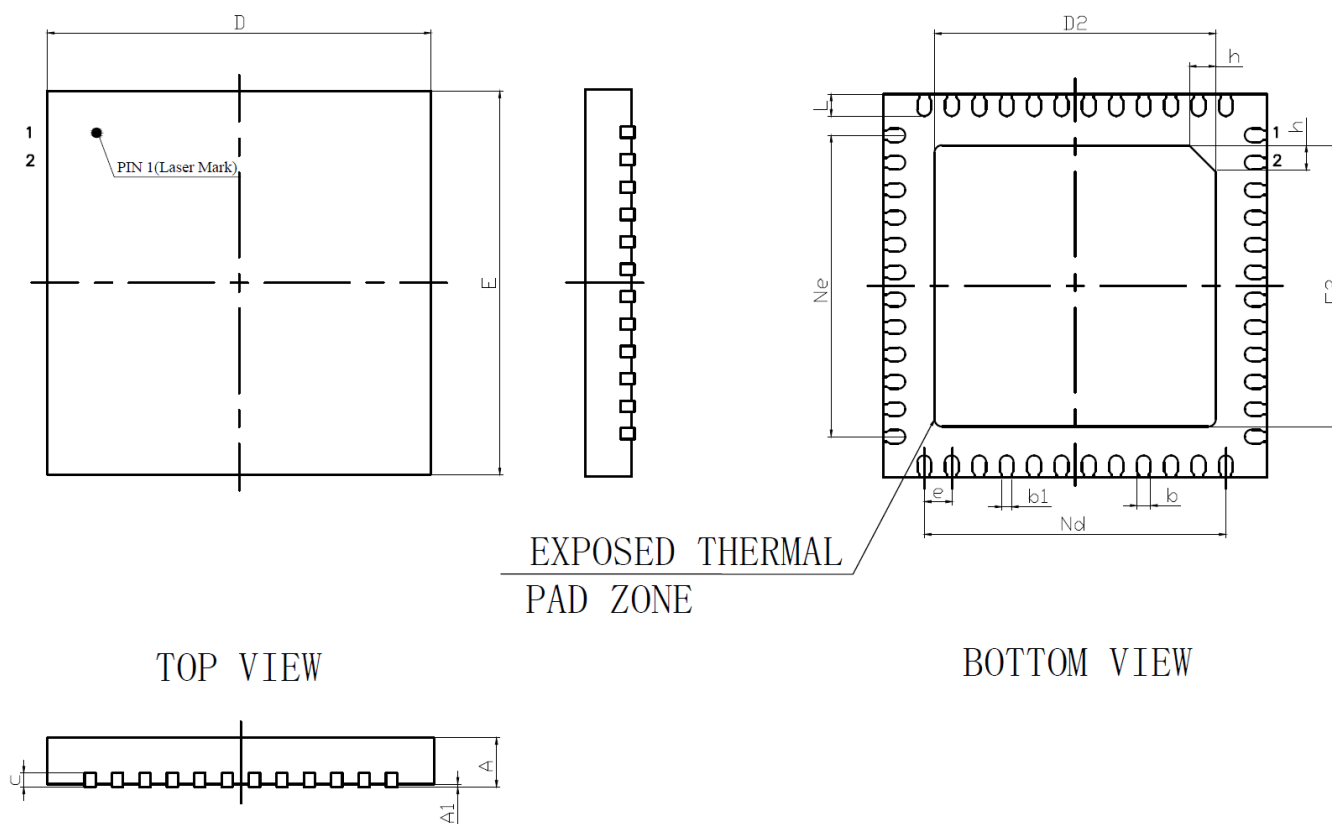
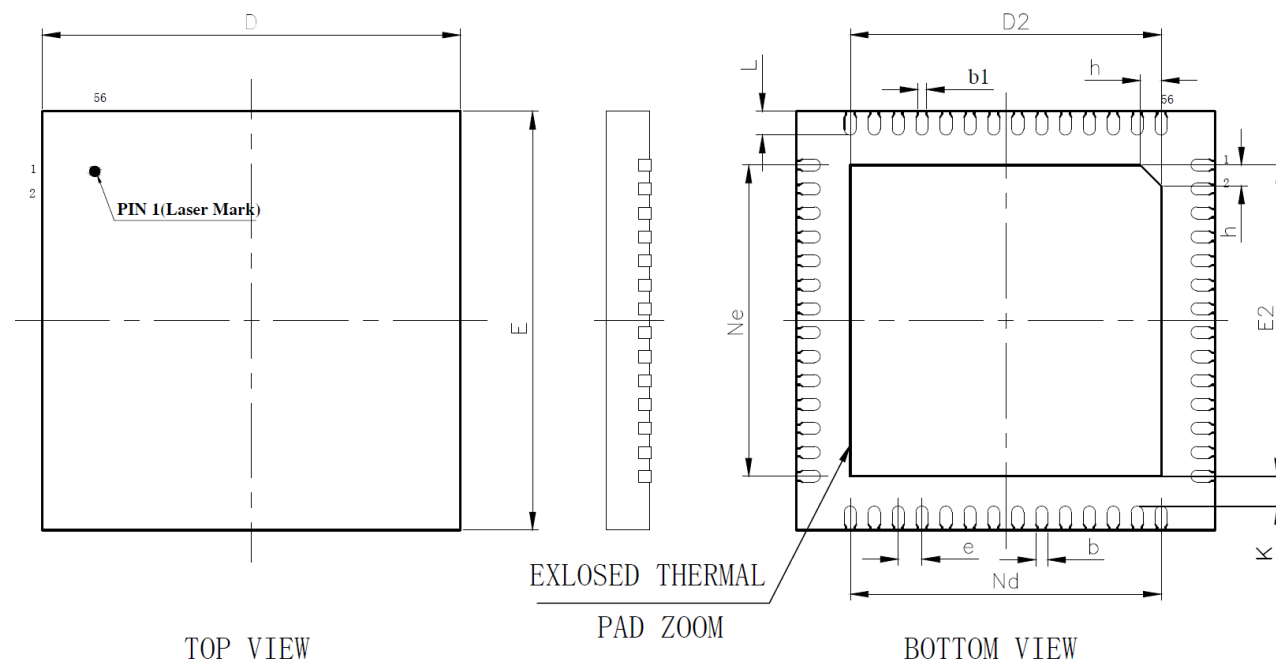


图 34-1 LQFP48_7X7 封装尺寸图

34.2 QFN48_6X6


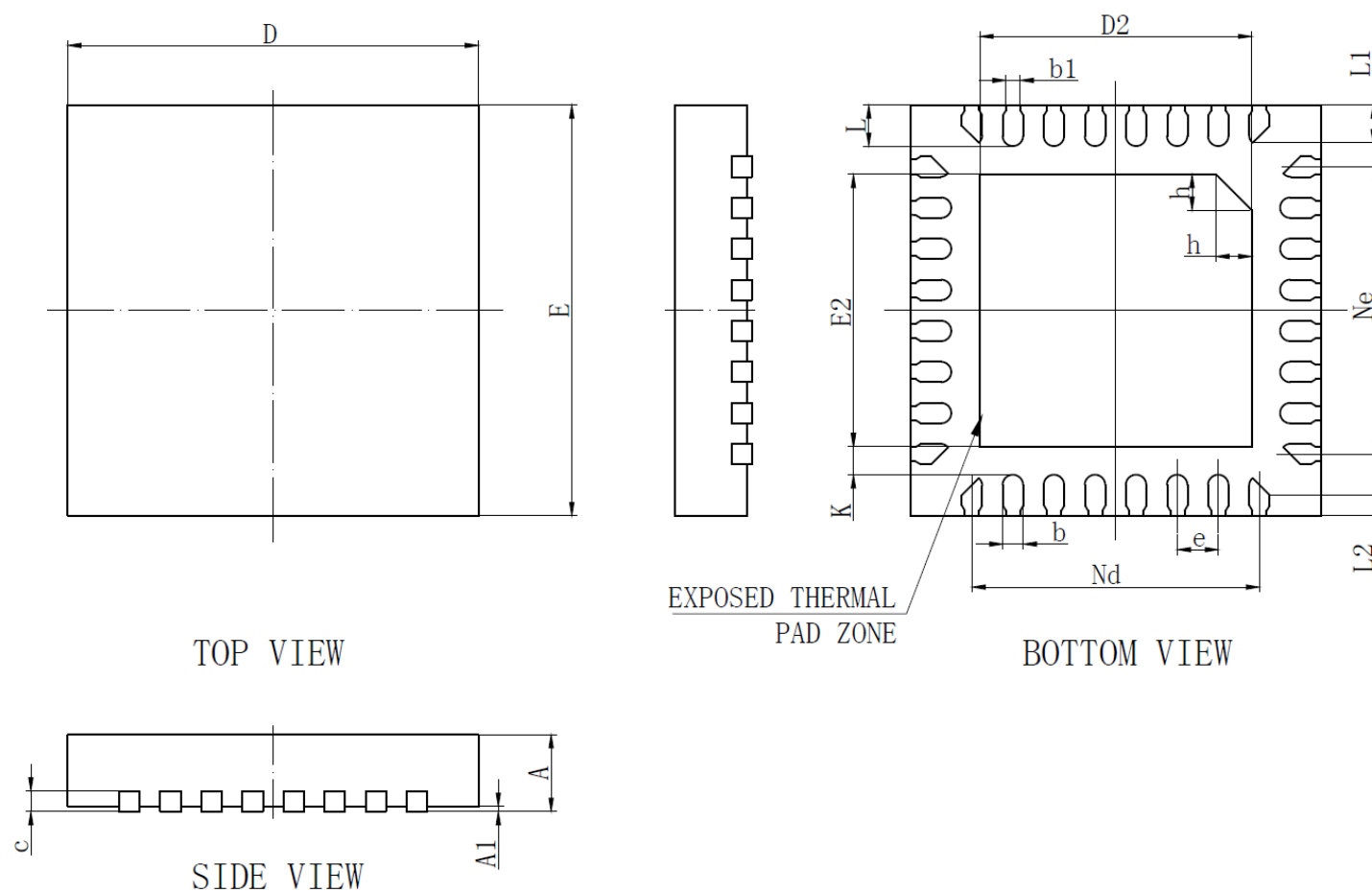
SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	—	0.02	0.05
b	0.15	0.20	0.25
b1	0.14REF		
c	0.18	0.20	0.23
D	5.90	6.00	6.10
D2	4.10	4.20	4.30
e	0.40BSC		
Ne	4.40BSC		
Nd	4.40BSC		
E	5.90	6.00	6.10
E2	4.10	4.20	4.30
L	0.35	0.40	0.45
h	0.30	0.35	0.40
L/F载体尺寸 (MIL)	177*177		

图 34-2 QFN48_6X6 封装尺寸图

34.3 QFN56_7X7


SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	—	0.02	0.05
b	0.15	0.20	0.25
b1	0.14REF		
c	0.18	0.20	0.25
D	6.90	7.00	7.10
D2	5.10	5.20	5.30
e	0.40BSC		
Nd	5.20BSC		
Ne	5.20BSC		
E	6.90	7.00	7.10
E2	5.10	5.20	5.30
K	0.20	—	—
L	0.35	0.40	0.45
h	0.30	0.35	0.40
L/F载体尺寸 (mil)	217*217		

图 34-3 QFN56_7X7 封装尺寸图

34.4 QFN32_4X4


SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0	0.02	0.05
b	0.15	0.20	0.25
b1	0.14REF		
c	0.18	0.20	0.25
D	3.90	4.00	4.10
D2	2.60	2.65	2.70
e	0.40BSC		
Nd	2.80BSC		
E	3.90	4.00	4.10
E2	2.60	2.65	2.70
Ne	2.80BSC		
K	0.20	-	-
L	0.35	0.40	0.45
L1	0.30	0.35	0.40
L2	0.15	0.20	0.25
h	0.30	0.35	0.40
L/F载体尺寸 (CM1)	112*112		

图 34-4 QFN32 4mmX4mmX0.75mm 封装尺寸图

35 订购信息

表 35-1 产品型号选择

型号	MIPS (Peak)	FLASH (KB)	XRAM (KB)	时钟电路				驱动接口			驱动类型			串口通讯			GPIO	定时器	模拟外设					无铅	封装	
				内部快时钟	外部快时钟	内部慢时钟	外部慢时钟	6N Predriver	3P3N Predriver	Gate Driver	方波	SVPWM	FOC	I2C	SPI	UART			ADC			VREF	运放			比较器
																			个数	通道数	位数					
FU6831L	24	16	4	√	√	√	√	—	√	—	√	√	√	√	√	√	32	6	1	8	12	√	4	4	√	LQFP48 (7x7 mm)
FU6831Q	24	16	4	√	√	√	√	—	√	—	√	√	√	√	√	√	32	6	1	8	12	√	4	4	√	QFN48 (6x6 mm)
FU6831N	24	16	4	√	—	√	—	—	√	—	√	√	√	√	√	√	18	6	1	6	12	√	1	4	√	QFN32 (4x4 mm)
FU6811L	24	16	4	√	√	√	√	—	—	√	√	√	√	√	√	√	32	6	1	8	12	√	4	4	√	LQFP48 (7x7 mm)
FU6811N	24	16	4	√	—	√	—	—	—	√	√	√	√	√	√	√	19	6	1	7	12	√	1	4	√	QFN32 (4x4 mm)

FU6818Q	24	16	4	✓	✓	✓	✓	✓	—	—	✓	✓	✓	✓	✓	✓	32	6	1	8	12	✓	4	4	✓	QFN56 (7x7 mm)
---------	----	----	---	---	---	---	---	---	---	---	---	---	---	---	---	---	----	---	---	---	----	---	---	---	---	----------------------

Copyright Notice

Copyright by Fortior Technology (Shenzhen) Co., Ltd. All Rights Reserved.

Right to make changes —Fortior Technology (Shenzhen) Co., Ltd RSVs the right to make changes in the products – including circuits, standard cells, and/or software – described or contained herein in order to improve design and/or performance. The information contained in this manual is provided for the general use by our customers. Our customers should be aware that the personal computer field is the subject of many patents. Our customers should ensure that they take appropriate action so that their use of our products does not infringe upon any patents. It is the policy of Fortior Technology (Shenzhen) Co., Ltd. to respect the valid patent rights of third parties and not to infringe upon or assist others to infringe upon such rights.

This manual is copyrighted by Fortior Technology (Shenzhen) Co., Ltd. You may not reproduce, transmit, transcribe, store in a retrieval system, or translate into any language, in any form or by any means, electronic, mechanical, magnetic, optical, chemical, manual, or otherwise, any part of this publication without the expressly written permission from Fortior Technology (Shenzhen) Co., Ltd.

Fortior Technology(Shenzhen) Co.,Ltd.

Room203,2/F, Building No.11,Keji Central Road2,
SoftwarePark, High-Tech Industrial Park, Shenzhen, P.R. China 518057
Tel: 0755-26867710
Fax: 0755-26867715
URL: <http://www.fortiortech.com>

Contained herein

Copyright by Fortior Technology (Shenzhen) Co.,Ltd all rights Reserved.